

CONCEPTION D'UN ÉMETTEUR-RÉCEPTEUR À FAIBLE CONSOMMATION INTÉGRÉ EN TECHNOLOGIE CMOS

THÈSE N° 2231 (2000)

PRÉSENTÉE AU DÉPARTEMENT D'ÉLECTRICITÉ

ÉCOLE POLYTECHNIQUE FÉDÉRALE DE LAUSANNE

POUR L'OBTENTION DU GRADE DE DOCTEUR ÈS SCIENCES TECHNIQUES

PAR

Thierry MELLY

Ingénieur électricien diplômé EPF
de nationalité suisse et originaire d'Ayer (VS)

acceptée sur proposition du jury:

Prof. E. Vittoz, Prof. Ch. Enz, directeurs de thèse
Prof. J.-D. Decotignie, rapporteur
Prof. Q. Huang, rapporteur
Prof. A. Kaiser, rapporteur

Lausanne, EPFL
2000

À ANNE-PASCALE, MARIE ET TIMOTHÉE
POUR LEUR SOUTIEN ET LEUR PATIENCE

Remerciements

Ce travail de thèse met fin à quatre ans de travaux réalisés dans la joie et la bonne humeur au laboratoire d'électronique générale de l'École Polytechnique Fédérale de Lausanne. C'est donc avec plaisir que je remercie tout d'abord mes deux co-directeurs de thèse les Professeurs Eric Vittoz et Christian Enz. Ce dernier est responsable en grande partie de ma présence à l'EPFL puisque c'est lui qui a initié le projet REMOSENS et qui m'a engagé. Malgré son expatriation pendant deux ans sous le soleil de Californie, sa motivation pour faire connaître ce travail n'a cessé de croître. Eric Vittoz, quant à lui, a su grâce à son cours brillant et captivant susciter mon intérêt. Par la suite, ses questions et réflexions m'ont permis d'approfondir mes points de vue.

Mes remerciements vont aussi au Professeur Michel Declercq, directeur du laboratoire d'électronique générale de l'EPFL. Il m'a permis de conjuguer mon travail technique et mon activité en pleine air comme guide de haute-montagne en faisant preuve de souplesse. Je suis également reconnaissant au Professeur Maher Kayal pour sa direction par intérim du projet REMOSENS et au Docteur François Krummenacher pour son soutien technique de grande qualité.

Ce travail et les résultats du circuit intégré qui y sont associés sont l'oeuvre d'une équipe soudée. Je souhaite donc à Alain-Serge Porret et Dominique Python plein succès dans leur aventure américaine. Toutefois, j'espère qu'ils se souviendront de nos longues nuits de layout lorsqu'ils seront devenus riches et célèbres. Un grand merci à Anne-Chantal, Norbert et Anne-Pascale qui ont largement mérité leur titre in-officiel et honorifique de relecteur-trices de ce mémoire de thèse. Un travail de longue haleine dont ils se sont acquittés avec enthousiasme et persévérance.

Je suis reconnaissant à mes collègues du laboratoire d'électronique générale. Grâce à leurs multiples qualités l'ambiance de travail fut agréable. Merci donc à ceux qui bien qu'ingénieurs ou secrétaires sont également cyclistes, alpinistes, randonneurs, politiciens, samaritains, épicuriens, bons vivants ou bâtisseurs de mayens. Enfin, je termine en ayant une pensée émue pour Fabien, l'ami de toujours, qui nous a quitté bien trop précipitamment au soir du 22 février 1999.

Résumé

Cette thèse a pour objectif le développement de systèmes de communication radio-fréquence à courtes et moyennes distances. L'axe de recherche repose sur la faible consommation et la faible tension d'alimentation, avec, comme but principal, le développement d'un émetteur-récepteur complètement intégré dans une technologie CMOS standard numérique¹ et fonctionnant à l'aide d'une seule pile bouton. La liaison radio, dans la bande ISM des 434MHz, est à faible débit (typiquement 20kbits/s), bi-directionnelle (half-duplex) et pour une distance de propagation maximale de 100m. Des applications typiques d'un tel transmetteur sont : les périphériques d'ordinateur (souris et claviers), les systèmes de sécurité (capteurs de fumée et détecteurs de chaleur), les instruments de surveillance des malades, les appareils auditifs, le relevé automatique de compteurs d'eau ou d'électricité.

Afin d'étudier des topologies de circuits exploitables en technologie sub-micronique et d'anticiper la diminution des tensions maximales d'alimentation, l'emploi de convertisseurs DC-DC a été proscrit. Les circuits doivent, dans un cas idéal, être capables de travailler avec des tensions aussi basses que 1V, soit la tension disponible sur une pile bouton en fin de vie. La réjection du bruit 1/f, la consommation liée à la dynamique du signal, la consommation induite par la haute-fréquence ainsi que les contraintes de faible tension d'alimentation et de faible densité de courant, représentent des aspects théoriques qui sont abordés dans ce travail de thèse. Les réalisations pratiques portent sur les amplificateurs faibles bruit et de puissance, les mélangeurs, ainsi que les chaînes de modulation et démodulation du signal.

Un transmetteur à conversion directe a été conçu afin de diminuer le nombre de noeuds haute fréquence et de réduire les contraintes sur la qualité des signaux en quadrature, cela afin d'optimiser la consommation de puissance. Un prototype a été réalisé et mesuré dans une technologie numérique CMOS 0.5 μ m. La fréquence de la porteuse est de 434MHz, tandis que la modulation FSK est à large déviation de fréquence (100kHz). Le récepteur complet, qui comprend la sélection de canal et le synthétiseur de fréquence, fonctionne sous 1V de tension d'alimentation. Il a une sensibilité de -95dBm à 1/1000 de BER pour un débit de 24kbits/s et une consommation de seulement 1mW. L'émetteur a un rendement global de 38% pour 1.2V de tension d'alimentation et une puissance de sortie proche de 10dBm. Sa puissance est réglable entre 1dBm et 10dBm par pas de 3dB.

¹Une technologie CMOS est considérée comme standard et numérique lorsque aucun composant analogique n'est disponible. Des capacités flottantes ou des résistances de précision ne sont donc pas utilisables.

Abstract

This thesis aims at developing wireless systems with a strong emphasis on low-power consumption and low-voltage operation. The main technical objective is the development of a single cells battery operated fully integrated CMOS RF transceiver that fulfills the main common requirements of low bit rate (typically a few 20 kbits/s) distributed wireless remote sensing Microsystems. The radio link should be bi-directional (half-duplex), work on small distances (maximum 100 m) and operate in the 434 MHz ISM band. The single chip transceiver is designed for specific applications such as home automation systems, security and surveillance systems, remote medical care and monitoring, computer interactive interfaces and robotics.

In order to reduce power consumption, avoid DC-DC converters and be ready for next-generation deep-submicron processes with limited supply voltage, single battery operation is desirable. Therefore, ultimately, the circuits should be able to operate with a supply as low as 1V, corresponding to the end-of-life battery voltage. Flicker noise rejection, power consumption due to the dynamic range or due to the high frequency, low voltage and low current density constraints are the main theoretical aspects discussed in this thesis. The integrated blocks are the low noise amplifier, the mixers, the power amplifier, the modulation and demodulation path.

A direct conversion architecture is chosen in order to minimize the number of external components, allow for a reduced quadrature accuracy of the LO signal as well as to optimize the power consumption. A test chip containing the complete transceiver is designed and integrated in a $0.5\mu\text{m}$ standard digital CMOS process. The working frequency is the 434MHz ISM Band and the modulation scheme is a wide band FSK with a frequency deviation of 100kHz. The complete receiver, including signal path and frequency synthesizer, operates with only 1V supply voltage. It achieves a -95dBm sensitivity at 1/1000 of BER for a data rate of 24kbits/s and a ultra low power consumption of only 1mW. The complete transmitter achieves an overall efficiency higher than 38% for a 1.2V supply voltage and an output power reaching 10dBm. The output power is controlled digitally between 1dBm and 10dBm by steps of 3dB.

Table des matières

1	Introduction	13
1.1	Motivations	13
1.2	État de l'art	14
1.3	Objectifs	16
1.4	Structure	16
2	Étude système et cahier des charges	19
2.1	Antennes et propagation	20
2.1.1	Formule de FRIIS	20
2.1.2	Gain d'antenne	20
2.1.3	Bande passante des antennes	21
2.2	Types de réseau	21
2.2.1	Distance de propagation	23
2.2.2	Débit de données et rapport cyclique	24
2.2.3	Volume à disposition et fréquence de travail	24
2.2.4	Source d'énergie et autonomie	26
2.3	Choix technologiques	27
2.4	Choix architecturaux	28
2.4.1	Super-hétérodyne	28
2.4.2	Super-réaction	29
2.4.3	Conversion quasi-directe à suppression d'image	29
2.4.4	Conversion directe	32
2.5	Cahier des charges	33
2.5.1	Récepteur	35
2.5.2	Émetteur	37
2.5.3	Synthétiseur de fréquence	37
2.5.4	Répartition du budget de consommation	37

3	Limites technologiques	39
3.1	Utilisation de composants inductifs	39
3.1.1	Charges capacitives ou résonantes	40
3.1.2	Éléments inductifs à haut facteur de qualité	41
3.1.3	Capacités internes	41
3.1.4	Synthèse	42
3.2	Consommation liée à la SFDR	43
3.2.1	Dynamique libre d'interférence SFDR	43
3.2.2	Puissance minimale consommée	44
3.2.3	Puissance réellement consommée	45
3.3	Effets de la faible tension d'alimentation	46
3.3.1	Limitation du facteur d'inversion	46
3.3.2	Plage de tension disponible	46
3.3.3	Facteur d'inversion maximal	47
3.3.4	Facteur de mérite V_{DSsat}	48
3.4	Limitations fréquentielles	48
3.4.1	Fréquence de coupure du canal f_c	48
3.4.2	Fréquence à gain unité, f_T	49
3.4.3	Fréquence maximale à gain en tension donné	50
3.5	Calcul du facteur d'inversion optimal	50
3.5.1	Développement	51
3.5.2	Résultats	52
3.5.3	Asymptotes	52
3.5.4	Synthèse	54
3.6	Conclusions	54
4	Bruit dans les mélangeurs	57
4.1	Source de bruit des transistors MOS	57
4.1.1	Modélisation du bruit des transistors	58
4.1.2	Limitations d'une étude petits signaux dans un système autonome	60
4.2	Bruit dans les systèmes non autonomes	61
4.2.1	Système linéaire variant dans le temps	61
4.2.2	Exemple	62
4.2.3	Excitation par une source de bruit blanc stationnaire	63
4.2.4	Excitation par une source de bruit non stationnaire	64
4.3	Effets non-linéaires	65
4.3.1	Hypothèses	65
4.3.2	Fonction de transfert	66
4.3.3	Définition des gains de transposition	68

4.3.4	Gains de transposition de fréquence $A_{RF,k}$	69
4.3.5	Repliement du bruit blanc de l'entrée RF	72
4.3.6	Gain de conversion $G_{LO,k}$	72
4.3.7	Bruit 1/f ramené à l'entrée	77
4.3.8	Bruit des transistors de hachage	78
4.3.9	Effets du pôle interne	82
4.4	Synthèse	83
4.4.1	Amplitude du LO et position du pôle	83
4.4.2	Densité totale de bruit à la sortie du mélangeur	85
4.4.3	Fréquence de coupure du bruit 1/f	85
4.4.4	Figure de bruit du mélangeur	87
4.4.5	Gains $A_{RF,k}$	88
4.5	Conclusions	88
5	Amplificateur-mélangeur	91
5.1	Mesures et adaptation	91
5.1.1	Figure de bruit	91
5.1.2	Cahier des charges	92
5.1.3	Mesures	93
5.1.4	Circuits d'adaptation et d'amplification	94
5.2	Structures de mélangeurs	99
5.2.1	Amplificateur-mélangeur à gain en tension	99
5.2.2	Amplificateur-mélangeur à gain en courant	103
5.2.3	Mélangeur à transistors MOS en conduction	110
5.3	Conclusions	116
6	Émetteur	119
6.1	Modulateur FSK	120
6.1.1	Modulation par asservissement du VCO	120
6.1.2	Modulation par mélangeur et suppression de la fréquence image	120
6.2	Étage de sortie, rappel théorique	122
6.2.1	Courant sinusoïdal tronqué (sin)	123
6.2.2	Courant quasi-sinusoïdal et tronqué (\sin^2)	125
6.2.3	Tension de commande carrée	127
6.2.4	Choix de l'angle de conduction	127
6.2.5	Effet d'une résistance série	128
6.2.6	Synthèse	129
6.3	Amplificateurs de puissance	130
6.3.1	Amplificateur de puissance à paires différentielles	131

6.3.2	Amplificateur de puissance à inverseurs	135
6.4	Modulateur	142
6.4.1	Mélangeurs haute fréquence	142
6.4.2	Filtre polyphasé	143
6.4.3	Génération des signaux basse fréquence	143
6.4.4	Caractérisation	144
6.5	Conclusions	147
7	Émetteur-récepteur	149
7.1	Récepteur	151
7.1.1	Amplificateurs et mélangeurs à faible bruit	151
7.1.2	Filtres actifs du 8ème ordre	155
7.1.3	Amplificateurs-limiteurs basse-fréquence	157
7.1.4	RSSI et démodulateur OOK	161
7.1.5	Démodulateur FSK	164
7.2	Caractéristiques du récepteur	165
7.2.1	Sensibilité	166
7.2.2	Réjection des canaux adjacents	167
7.2.3	Répartition de la puissance consommée	168
7.3	Émetteur	170
7.3.1	Principe de régulation	170
7.3.2	Description du fonctionnement	170
7.3.3	Mesures	171
7.4	Conclusions	172
8	Conclusions	173
8.1	Résultats obtenus	173
8.2	Perspectives futures	175
A	Distorsion, bruit et dynamique	177
A.1	Distorsion	178
A.1.1	Série de Fourier	179
A.1.2	Point de compression à 1dB	179
A.1.3	Taux de distorsion harmonique	180
A.1.4	Point d'intersection du troisième ordre	181
A.1.5	Fonction impaire du troisième ordre $f_{1,3}(x)$	181
A.2	Limites de linéarité	182
A.3	Bruit	186
A.3.1	Densité spectrale de bruit en tension ou en courant	186
A.4	Dynamique	186

A.4.1	Dynamique libre d'interférence SFDR	187
A.4.2	Dynamique DR	187
A.4.3	Facteur de mérite	187
A.5	Conclusions	189
B	Liste des publications	191

Chapitre 1

Introduction

1.1 Motivations

Le développement de systèmes de communication sans fils à courtes et moyennes distances est en plein essor. Citons, parmi les applications les plus connues : les périphériques d'ordinateur (souris et claviers), les systèmes de sécurité (capteurs de fumée et détecteurs de chaleur), les instruments de surveillance des malades, les appareils auditifs, le relevé automatique de compteurs d'eau ou d'électricité, etc.

Tous ces systèmes imposent des contraintes similaires : une alimentation par piles, une autonomie importante, une liaison bidirectionnelle par transmission hertzienne, un volume réduit, un flux modéré d'information, un pré-traitement des données et une gestion de protocole. Une des meilleures solutions pour remplir ces spécifications est l'intégration sur une même puce électronique des blocs réalisant la partie digitale (traitement des données et protocole) et les fonctionnalités analogiques (amplificateur faible bruit, mélangeur, amplificateur de puissance et synthétiseur de fréquence). Cette solution réduit au maximum l'encombrement de la partie électronique et la consommation de courant grâce à des niveaux d'impédance relativement élevés.

Le choix de la technologie CMOS digitale est principalement dicté par les avantages liés à la faible consommation statique des blocs digitaux, sa grande disponibilité sur le marché, l'évolution de ses performances et son faible coût. Une attention particulière sera portée à la gestion de l'énergie fournie par la pile et au fonctionnement à très basse tension d'alimentation ($\leq 1.5V$).

1.2 État de l'art

Les émetteurs - récepteurs à faible consommation sont actuellement réalisés en technologie bipolaire ou BICMOS. La faisabilité de blocs haute fréquence en technologie CMOS analogique a été récemment démontrée. Cependant, de gros efforts au niveau circuit doivent encore être fournis afin d'améliorer les performances des systèmes à très faible consommation.

Circuits haute fréquence

Dans un produit destiné au grand public les technologies utilisées sont multiples. L'amplificateur de puissance ou les commutateurs d'antennes sont en arséniure de gallium (AsGa). L'amplificateur faible bruit, les mélangeurs et le contrôle automatique du gain sont en technologie bipolaire. Les convertisseurs analogique-digital ou digital-analogique, la logique de contrôle du synthétiseur de fréquence et la gestion du protocole sont en technologie CMOS. Sans oublier les éléments externes passifs tels que les filtres à ondes de surface, les filtres céramiques, les inductances ou les capacités variables qui permettent d'atteindre des spécifications exigeantes. Pour des raisons économiques, de volume et de consommation d'énergie, le but ultime du marché des télécommunications vise donc à réaliser un émetteur-récepteur incluant le conditionnement du signal ainsi que la gestion du protocole sur le même circuit intégré; le nombre de composants externes est réduit au minimal [1][2].

Circuits en technologie CMOS

Pour des technologies CMOS submicroniques, les instituts universitaires, en collaboration avec des industriels, ont démontré depuis environ 5 ans la possibilité de réaliser des blocs haute fréquence ($\geq 1\text{GHz}$) répondant au cahier des charges des télécommunications mobiles. Les équipes dirigées par A. Abidi, B. Razavi, M. Steyaert, T. Lee, Q. Huang et P. Gray ont démontré la faisabilité d'amplificateurs faible bruit et de mélangeurs [3]-[5], d'oscillateurs [6], d'architectures à conversion directe ou quasi-directe [7]-[15] et d'amplificateurs de puissance [16].

Circuits à très faible consommation

En parallèle, la demande de systèmes à très faible consommation pour des liens à courte distance s'est accrue. Les applications principales étant les "pager" [17], les prothèses auditives [19], la télémessure ou la sécurité. Ces

solutions consomment entre 2 et 30mW, demandent un nombre important de composants externes (30 à 40 [17]), sont d'un coût élevé [18], utilisent des modulations analogiques [19][20] ou possèdent une synthèse de fréquence avec un seul canal [21][22].

Type	Fréquence	Débit	Sensibilité	V_{Alim}	I_{Alim}
UAA2082 [17]	470 MHz	1.2 kbit/s	-124.5 dBm	2 V	2.7 mA
RX1010 [18]	434 MHz	10 kbit/s	-94 dBm	3 V	1.3 mA
XE1218 [20]	230 MHz	6 kbit/s	-105 dBm	1 V	2 mA
TH7110 [21]	434 MHz	50 kbit/s	-101 dBm	3 V	10 mA
RF2917 [22]	915 MHz	28 kbit/s	-97 dBm	3 V	9 mA

TAB. 1.1 – Caractéristiques de quelques récepteurs commerciaux. La sensibilité des différents circuits est donnée pour un BER proche de 1%.

Ces circuits sont conçus en technologie bipolaire ou BICMOS afin de minimiser la consommation de courant en haute fréquence grâce à un rapport transconductance sur courant de polarisation élevé. Pour un débit de plus de 20kbit/s, le TH7110 et le RF2917 fonctionnent sous 3V de tension d'alimentation et leur consommation est d'environ 30mW (voir Tab. 1.1).

Évolution de la recherche durant l'élaboration de la thèse

Depuis une à deux années, des travaux similaires à ceux décrits dans le cadre de cette thèse ont vu le jour. Plusieurs instituts universitaires en Europe et aux États-Unis travaillent dans le but d'offrir des émetteurs-récepteurs CMOS à très faible consommation. Voici brièvement une liste des principaux résultats obtenus à la date de la publication de cette thèse.

1. H. Darabi a présenté en 1999 un récepteur en technologie CMOS standard $0.25\mu\text{m}$ à 900MHz pour une consommation de 3mA et des tensions d'alimentation de 1.5V [23].
2. R. Rofougaran s'est intéressée à l'amplification et la conversion de fréquence. En technologie CMOS standard $0.8\mu\text{m}$ une figure de bruit de 20dB a été mesurée pour une consommation de $110\mu\text{A}$ sous 3V de tension d'alimentation [24].
3. A. Vouilloz a présenté un récepteur super-régénératif en technologie CMOS $0.35\mu\text{m}$ travaillant à 1GHz. Pour une tension d'alimentation de 1.5V et une consommation de $800\mu\text{A}$, la figure de bruit totale atteint 24dB. Cependant, la fréquence de travail n'est pas asservie [25].

1.3 Objectifs

Les objectifs de cette thèse sont la conception et la réalisation en technologie CMOS numérique standard de blocs critiques d'un système émetteur - récepteur pour des liaisons radio courtes distances. Une technologie CMOS est considérée comme standard et numérique lorsque aucun composant analogique n'est disponible. Des capacités flottantes ou des résistances de précision ne sont donc pas utilisables.

La recherche se focalisera principalement sur le développement de structures permettant le fonctionnement des différents blocs sous une tension d'alimentation égale à celle d'une seule pile (1.0 à 1.6V). Dans une première partie, une étude système d'une démodulation à conversion directe permet de fixer les performances attendues des différents blocs analogiques. Dans un deuxième temps, la réalisation d'amplificateurs faible bruit, de mélangeurs et d'amplificateurs de puissance est décrite. Des études théoriques des effets du bruit $1/f$ dans les mélangeurs et des limites technologiques servent de guide pour l'obtention d'une consommation aussi faible que possible.

Pour terminer, un émetteur-récepteur fonctionnant sous 1V de tension d'alimentation et consommant seulement 1mA à 434MHz est attendu à titre de démonstrateur. Ce travail est le résultat d'une fructueuse collaboration avec Alain-Serge Porret. Il s'est principalement intéressé au synthétiseur de fréquence [26], alors, que je me suis occupé des étages d'entrées-sorties haute fréquence. Les principaux choix architecturaux et système ayant été faits de concert. Il est également nécessaire de citer la participation active de Dominique Python qui a conçu les filtres en bande de base selon notre cahier des charges [27].

1.4 Structure

Après une brève introduction incluant les motivations, l'état de l'art et les objectifs, cette thèse se subdivise en chapitres dont voici brièvement le contenu.

Le chapitre 2 est focalisé sur les contraintes et les performances attendues d'un système bi-directionnel (half-duplex) à faible consommation. La propagation d'onde, les différents types de réseau et d'architectures sont commentés. Le système préconisé a été proposé à des industriels qui l'ont validé. Le cahier des charges et les buts fixés correspondent à des applications qui devraient être utilisées à moyen terme (5 à 10 ans) par Logitech, Phonak Communications, Cerberus et Valtronic.

Le chapitre 3 décrit de manière détaillée les limites de l'utilisation d'une technologie CMOS digitale pour des applications à très faible tension d'alimentation. Les avantages et les inconvénients de l'utilisation de composants externes à facteur de qualité élevé sont également discutés.

Le chapitre 4 a pour but de déterminer, dans la chaîne de réception, les sources de bruit $1/f$ qui en dégradent la sensibilité. Une étude analytique grands signaux de l'élément le plus critique, soit le mélangeur, est réalisée. Le gain de conversion, le bruit $1/f$ en sortie du mélangeur ainsi que les effets du pôle interne seront discutés. Des mesures valident les résultats théoriques.

Le chapitre 5 est consacré à l'étude d'amplificateurs à faible bruit et de mélangeurs à très faible consommation ($\leq 200\mu\text{W}$). Des amplificateurs en tension ou en courant, l'utilisation de transistors MOS en conduction ainsi que des structures compactes incluant l'amplificateur et le mélangeur sont décrites. Les mesures de ces structures, intégrées en $0.5\mu\text{m}$, sont comparées.

Le chapitre 6 présente un modulateur FSK à phase continue. Deux amplificateurs de puissance classe B ($\leq 10\text{mW}$) dédiés à la bande ISM à 430MHz sont détaillés. Les mélangeurs à réjection d'image, un filtre polyphasé ainsi que la génération de signaux I-Q basse fréquence sont également abordés.

Le chapitre 7 présente un émetteur-récepteur intégré dans une technologie CMOS $0.5\mu\text{m}$. Le récepteur fonctionne sous 1V de tension d'alimentation et consomme seulement 1mA. Le niveau de sensibilité, la réjection des canaux adjacents et la répartition de la consommation entre les différents blocs sont les principaux points abordés. L'émetteur fournit une puissance de sortie maximale de 10dBm sous 1.2V de tension d'alimentation. La puissance est réglable entre 1dBm et 10dBm par pas d'environ 3dB.

Le chapitre 8 rappelle, en guise de conclusion, les principaux résultats obtenus. Une partie importante de ce chapitre est consacrée aux perspectives et aux améliorations possibles pour la réalisation d'un émetteur-récepteur CMOS dans des bandes de fréquence $> 1\text{GHz}$.

Appendice Un appendice complète ce travail de thèse. Il décrit les limites de distorsion, de bruit et de dynamique de quelques structures couramment utilisées.

Chapitre 2

Étude système et cahier des charges

Le but de ce chapitre est de décrire les contraintes et les performances attendues d'un émetteur-récepteur "half-duplex" courte distance à très faible consommation. Dans une première section, la formule de Friis, le gain et la bande passante des antennes sont discutés. La seconde partie décrit les différents types de réseau, la distance de propagation, le débit de données, le volume à disposition et l'autonomie du système. Dans une troisième section, les choix technologiques et les problèmes induits par l'utilisation d'une technologie CMOS standard sont décrits. Dans la quatrième partie, les différents types d'architecture sont présentés. Pour terminer, un cahier des charges pour un prototype travaillant dans la bande ISM¹ des 434MHz est proposé.

Une des contraintes principales est de réduire le nombre de composants externes au circuit intégré. Tout ajustement doit également être banni afin de réduire les coûts et de permettre l'utilisation de composants standards. Le but est idéalement de n'avoir qu'une dizaine de composants externes, soit les circuits d'adaptation d'impédance du récepteur et de l'émetteur, l'inductance de l'oscillateur local, une référence à quartz et quelques capacités de découplage ou de filtrage.

¹Les bandes ISM (Industrial Scientific and Medical Band) sont destinées aux applications à faible consommation. Elles ne sont pas canalisées et elles sont exploitées sans paiement de licence (par exemple I-ETS 300-220).

2.1 Antennes et propagation

Pour décrire une liaison sans fil voici un petit rappel des formules de propagation et des caractéristiques fondamentales des antennes. La formule de FRIIS, le gain, la directivité et la bande passante des antennes sont présentés. Les résultats donnés ci-dessous ont été discutés par M. Olivier Staub dans le cadre de son mémoire de thèse intitulé "Electrically Small Antennas" [28].

2.1.1 Formule de FRIIS

La formule de FRIIS, aussi appelée équation de propagation des radars, permet de calculer la puissance transmise entre un émetteur et un récepteur éloigné d'une distance r à la fréquence f [29].

$$\frac{P_r}{P_t} = DPF \cdot G_r \cdot G_t \cdot \left(\frac{\lambda_0}{4\pi r} \right)^\alpha \quad \text{avec} \quad \lambda_0 = \frac{c_0}{f} \quad (2.1)$$

P_t est la puissance fournie à l'antenne de transmission, G_t le gain de l'antenne de transmission, P_r est la puissance reçue, G_r le gain de l'antenne de réception, DPF est le facteur de dépolarisation qui vaut généralement $1/2$, λ_0 et c_0 sont respectivement la longueur d'onde et la vitesse de propagation du signal dans le vide. α est le facteur d'atténuation géométrique. Dans un milieu sans obstacle, α vaut 3 en champ proche ($r \ll \lambda_0$) et 2 en champ lointain ($r \gg \lambda_0$). Dans un milieu perturbé, une pièce ou des bâtiments, il est admis que le facteur α puisse valoir entre 3 et 5 en champ lointain [30].

Les normes décrivent plus particulièrement la puissance rayonnée $P_{rad} = P_t \cdot G_t$. Ainsi, l'équation (2.1) peut également être écrite en négligeant le gain de l'antenne de transmission [31] :

$$\frac{P_r}{P_{rad}} = DPF \cdot G_r \cdot \left(\frac{\lambda_0}{4\pi r} \right)^\alpha \quad \text{avec} \quad \lambda_0 = \frac{c_0}{f} \quad (2.2)$$

2.1.2 Gain d'antenne

Pour des volumes compris dans une sphère de rayon R correspondant à la dimension caractéristique de l'antenne, le gain maximal théorique G_{max} s'écrit [28] :

$$G_{max} = (k_0 R)^2 + 2k_0 R \quad \text{avec} \quad k_0 = \frac{2\pi}{\lambda_0} \quad (2.3)$$

Le gain G de l'antenne est égal au produit du rendement de l'antenne η par sa directivité D . On a donc :

$$G = \eta \cdot D \quad (2.4)$$

Dans le cas où $R \ll \lambda_0$, on parle indifféremment de gain ou de rendement. En effet, l'antenne perd sa directivité et son diagramme de rayonnement devient omnidirectionnel. Cette relation, qui ne prend pas en compte les pertes de l'antenne, surestime d'environ 2 à 3dB les résultats obtenus dans un cas concret [28].

2.1.3 Bande passante des antennes

La bande passante d'une antenne, donc son facteur de qualité Q , est également liée à ses dimensions. Dans le cas d'une antenne sans perte, l'approximation suivante est obtenue [28] :

$$Q = \frac{1}{k_0 R} + \left(\frac{1}{k_0 R} \right)^3 \quad \text{avec} \quad k_0 = \frac{2\pi}{\lambda_0} \quad (2.5)$$

Pour une antenne dont la grandeur caractéristique R est plus petite que la longueur d'onde λ_0 , le facteur de qualité Q tend très rapidement vers des valeurs élevées. La largeur de bande devient très étroite et la reproductibilité de telles antennes n'est plus possible. Pour augmenter la bande passante, la seule solution est d'augmenter les pertes, ce qui diminue à la fois le gain et le facteur de qualité.

2.2 Types de réseau

L'objectif est de concevoir une liaison sans fil entre une station de base et (ou) des périphériques. Pour ce faire, deux types de connections sont possibles (voir Fig. 2.1) :

1. une architecture en étoile,
2. une architecture distribuée.

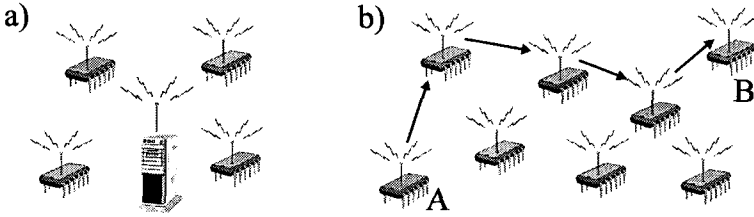


FIG. 2.1 – a) Architecture en étoile, b) architecture distribuée.

Dans le premier cas, une station de base gère les différentes liaisons entre les périphériques et le monde extérieur. Chaque information provenant d'un périphérique transite par la station de base avant d'être soit transmise à un autre périphérique, soit stockée ou traitée par elle-même. Ce mode de connexion possède plusieurs avantages. Seuls les périphériques ont des contraintes importantes en termes d'autonomie et de volume, alors que la station de base dispose en principe d'énergie plus conséquente (réseau électrique ou une batterie à grande capacité par exemple). Les performances demandées à cette station peuvent être importantes, que ce soit d'un point de vue caractéristiques (sensibilité, gain d'antenne,...) ou d'un point de vue protocole (veille permanente, "full-duplex", adressage des périphériques,...). L'inconvénient provient du fait qu'un périphérique éloigné doit toujours être capable de transmettre son débit d'information directement à la centrale, quelles que soient les atténuations dues à l'environnement.

Dans le second cas, chaque noeud sert de point de transmission et de routage. Pour relier le point A au point B, l'information transitera à travers toute la chaîne des transmetteurs. Un périphérique n'a donc pas comme seul tâche de transmettre ses propres informations, mais il doit aussi servir de relais pour celles qui proviennent d'autres parties du réseau. D'un point de vue théorique, la consommation peut être réduite en augmentant le nombre de cellules. Soit $P(1)$, la puissance consommée par un émetteur unique lors d'une transmission à une distance r . Dans ce cas, elle vaut :

$$P(1) = \left(\frac{4\pi r}{\lambda} \right)^\alpha \cdot \frac{P_{min}}{DPF \cdot \eta_{PA} \cdot \eta^2} \quad (2.6)$$

où P_{min} est la puissance minimale nécessaire pour démoduler correctement le signal, η_{PA} le rendement de l'amplificateur de puissance et $\eta = \eta_r = \eta_t$ le rendement des antennes. En réalisant la même liaison à l'aide de N cellules identiques, la puissance totale consommée $P(N)$ s'écrit :

$$\frac{P(N)}{P(1)} = \frac{1}{N^{\alpha-1}} \quad (2.7)$$

Cette relation montre l'intérêt d'un tel réseau. Indépendamment des caractéristiques des émetteurs et des récepteurs, un nombre élevé de transmetteurs réduit la consommation globale. Cependant, le nombre de cellules peut augmenter rapidement, au minimum proportionnellement à N , mais dans le pire des cas proportionnellement à N^3 . De plus, cette relation n'est plus correcte lorsque la station de base (SB) a des performances meilleures que celles des circuits distribués. La puissance minimale de sensibilité $P_{min,SB}$ ainsi que le rendement de son antenne η_{SB} modifient la relation (2.7) qui devient :

$$\frac{P(N)}{P(1)} = \frac{\beta}{N^{\alpha-1}} \quad \text{avec} \quad \beta = \frac{P_{min}}{P_{min,SB}} \cdot \frac{\eta_{SB}}{\eta} \quad (2.8)$$

Comme décrit plus loin lors de l'étude de la figure de bruit d'un récepteur courte distance (voir Equ. 2.13), la figure de bruit d'une des cellules du réseau distribué peut atteindre 20dB, contrairement à celle de la station de base qui peut être proche de 5dB. La place à disposition est également supérieure sur la station de base, le rendement de son antenne est donc meilleur ($\eta_{SB} \geq \eta$). Dans ce cas, le facteur β vaut entre 10 et 100, ce qui rend cette solution nettement moins attractive.

En définitive, le choix d'un réseau en étoile correspond mieux à nos objectifs. De multiples applications sont naturellement organisées de cette manière. Les traducteurs simultanés dans une salle de conférence, la souris ou le clavier d'un ordinateur, les capteurs de fumée ou de température dans une salle de concert ont tous besoin de dialoguer avec une centrale. De plus, la gestion du protocole est particulièrement simple. Cette approche permet également d'optimiser un lien radio qui, dans une seconde étape, pourrait être utilisé dans un réseau de cellules.

2.2.1 Distance de propagation

Il est très difficile de préciser exactement la distance de propagation utile à un émetteur-récepteur courte distance. En effet, elle dépend fortement de l'environnement, ainsi que du type d'application. Les périphériques d'ordinateur demandent des liens à très courte distance, de l'ordre de 1 à 5 mètres. Les capteurs destinés à la sécurité, distribués dans une salle ou dans une maison d'habitation, demandent une distance de 10 à 20 mètres.

L'atténuation géométrique dépendant fortement du milieu, la distance de propagation est donnée pour une atténuation en champ lointain ($\alpha = 2$) et libre d'obstacles. Cette distance est comprise entre 1m à 100m et permet de répondre aux différentes applications tout en exigeant du récepteur une dynamique raisonnable. Elle est de 55dB au minimal, soit 40dB dus à l'atténuation géométrique et 15dB de rapport signal-sur-bruit (SNR).

Il est évident qu'une information de la distance entre l'émetteur et le récepteur permet de diminuer la puissance émise et de ce fait d'augmenter l'autonomie du système. C'est pour cette raison qu'une sortie RSSI "Received Signal Strength Intensity" est un atout important.

2.2.2 Débit de données et rapport cyclique

Le débit d'informations transmis peut varier considérablement selon l'application. Un détecteur de fumée doit transmettre une seule information par seconde avec une faible probabilité d'erreur tandis qu'un appareil auditif a besoin d'environ 20kbit/s pour rendre possible une transmission de la parole. L'émetteur-récepteur est donc conçu pour des débits importants de l'ordre de plusieurs dizaine de kbits/s. Les très faibles débits sont transmis par salves afin de réduire la consommation. Par conséquent, le temps d'enclenchement doit être très rapide (environ 1ms), afin de réduire le temps d'établissement de la liaison. Cette solution permet un rapport cyclique entre le temps d'enclenchement et le temps de veille de 1/10 à 1/1000 selon le type d'application.

2.2.3 Volume à disposition et fréquence de travail

Le volume à disposition est une des limitations principales à l'obtention de liens haute fréquence performants. Sa diminution réduit proportionnellement le gain de l'antenne (voir Equ. 2.3). Un volume de 10cm³ est une grandeur caractéristique de ce type d'émetteur-récepteur. En fonction de l'application, différentes formes peuvent être envisagées : un cube de 2.5cm de côté, un parallélépipède de 10cm² par 1cm de hauteur, etc. Il est évident que toute augmentation de la fréquence de travail permet d'obtenir un système moins volumineux. La contrainte de performance se déplace ensuite sur le circuit micro-électronique et plus particulièrement sur la tension d'alimentation et la longueur des dispositifs (voir chapitre 3). Cependant, une fréquence plus élevée que la longueur d'onde caractéristique du dispositif n'est pas nécessaire. L'antenne devient directive, des zones d'ombre apparaissent et la flexibilité de configuration du système est perdue [28].

Norme	Bande de fréquence	$P_{rad,max}$
I-ETS 300 220	26.957MHz - 27.283MHz	10dBm
I-ETS 300 220	40.660MHz - 40.700MHz	10dBm
I-ETS 300 220	433.05MHz - 434.79MHz	10dBm
FCC 15.243	902MHz - 928MHz	-1.2dBm
I-ETS 300 440	2.4GHz - 2.5GHz	10dBm

TAB. 2.1 – Spécifications de bandes fréquentielles à faible consommation.

Pour permettre certains degrés de liberté dans la conception d'un système à très faible consommation, les bandes ISM (Industrial Scientific and Medical) s'imposent en Europe. Elles ne sont pas canalisées et leur utilisation n'est pas soumise au paiement d'une licence. Elles sont régie par la norme I-ETS 300 220 (voir Tab. 2.1) ; la puissance rayonnée maximale est limitée à 10dBm. La figure 2.2 représente la puissance maximale émise par un émetteur dans les bandes ISM. Les niveaux des "spurious" lors de l'émission ou de la réception sont également représentés.

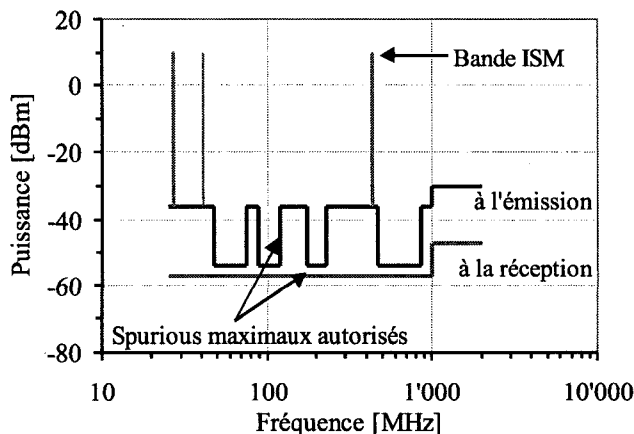


FIG. 2.2 – Puissance rayonnée autorisée dans les bandes ISM (I-ETS 300 220) ainsi que les "spurious" maximaux autorisés à l'émission et à la réception.

La bande choisie est celle des 434MHz. A plus basse fréquence, le gain

des antennes devient trop faible tandis qu'à plus haute fréquence, (910MHz et 2.4GHz) la technologie CMOS-D 0.5 μm n'est pas assez fine pour travailler avec des tensions d'alimentation aussi faible que 1V. A 434MHz, la longueur d'onde λ_0 est de 69cm et $k_0 \cong 9$. Pour une dimension caractéristique de l'antenne de $R = 2.5\text{cm}$, le gain maximal théorique (voir Equ. 2.3) est de -3dBi. En réalité, des gains de -6 à -7dBi ont été mesurés pour différentes antennes de 10cm³ de volume [28].

2.2.4 Source d'énergie et autonomie

Le but de cette thèse est de développer des circuits intégrés haute fréquence à très faible tension d'alimentation. Une pile bouton standard fonctionne entre 1.5V lorsqu'elle est neuve et environ 1V en fin de vie [19]. Les différents blocs doivent donc également fonctionner sous cette faible tension d'alimentation. La solution consistant à introduire un élévateur de tension de 1V vers 3V n'a pas été retenue. En effet, avec le "down-scaling" des technologies MOS sub-micronique, la tension d'alimentation maximale diminue (voir Fig. 2.3). Selon les perspectives de la SIA, elle atteindra 1.2V en 2004 pour une technologie 0.13 μm [32]. Un des buts de cette thèse est donc de réaliser des circuits fonctionnant sous faible tension d'alimentation afin d'envisager des topologies de circuits exploitables dans un proche avenir, c'est à dire pour des technologies inférieures à 0.18 μm .

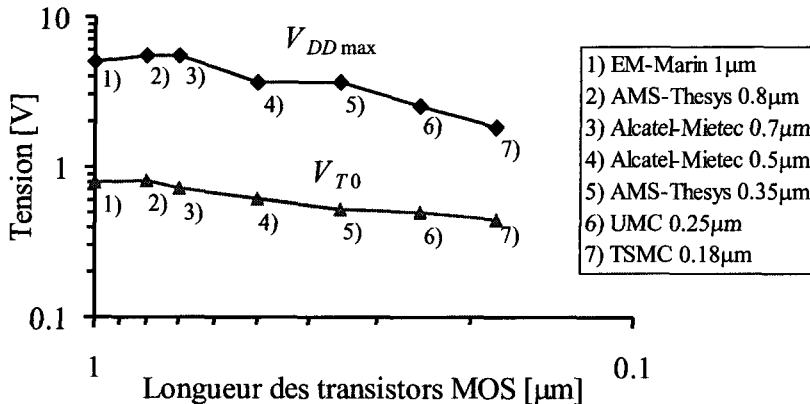


FIG. 2.3 – Evolution de la tension d'alimentation maximale $V_{DD\text{max}}$ et de la tension de seuil V_{T0} en fonction de la longueur du dispositif MOS.

Idéalement, une autonomie d'une dizaine d'années est attendue pour un capteur distribué. Pour un rapport cyclique de 1/100 et une capacité d'environ 1Ah (pile bouton inférieure à 1.5V), la consommation de l'émetteur-récepteur doit être en moyenne de 1mA lors de son utilisation. En supposant une consommation identique à l'émission et à la réception ainsi qu'un temps de fonctionnement en récepteur et en émetteur du même ordre de grandeur, la puissance émise ne peut pas dépasser 1mW (0dBm). Il est évident qu'en fonction de l'application, du protocole et de la durée de vie, ces ordres de grandeurs peuvent varier d'un facteur 10. C'est pour cette raison et dans le but d'améliorer la souplesse du circuit, qu'un réglage de la puissance de sortie sur une gamme de 10 à 20dB est nécessaire.

2.3 Choix technologiques

Les technologies à disposition pour réaliser un lien haute fréquence sont l'arséniure de gallium, le bipolaire, le bi-CMOS ainsi que le CMOS analogique ou digital. Il est évident que le choix d'une technologie CMOS digitale pénalise la conception de circuits intégrés analogiques et haute fréquence. Les principaux désavantages du CMOS digital par rapport à une technologie bipolaire analogique sont les suivants :

1. un bruit $1/f$ dominant jusqu'à des fréquences proches de 1MHz,
2. une densité spectrale de bruit blanc élevée (électrons chauds [33]),
3. un "mismatch" non-négligeable (jusqu'à $\pm 10\%$ pour un transistor en faible inversion de $10\mu\text{m}^2$ utilisé dans un miroir de courant),
4. un rapport g_m/I dégradé en fonction du facteur de pente n et du mode d'opération du transistor,
5. une fréquence maximale de travail réduite en faible inversion,
6. des composants passifs sans grande précision en valeur absolue ($\pm 30\%$ pour les résistances),
7. des capacités à très faible densité (métal-métal) ou non-linéaires (capacité MOS).

L'utilisation d'une technologie CMOS digitale impose donc, en plus des contraintes systèmes telles qu'une faible figure de bruit ou une dynamique importante, des boucles de contre-réaction afin de compenser les effets des "mismatch" et des imprécisions des composants. Cependant, une technologie CMOS offre aussi de nombreux avantages. Sa disponibilité est grande, son coût est faible et la migration sur des technologies plus fines est rapide. Avec beaucoup de souplesse, il est possible d'intégrer à la fois des

fonctions digitales et des fonctions analogiques. Une fois la démonstration de blocs analogiques haute fréquence réalisée, il est possible d'envisager un circuit intégré comprenant à la fois le protocole et la transmission hertzienne. Pour terminer, le développement d'un émetteur-récepteur CMOS à très faible consommation correspond tout à fait à un travail de prospection et d'innovation.

2.4 Choix architecturaux

Dans cette section, les différentes architectures de récepteurs haute fréquence sont rapidement décrites. Les caractéristiques des circuits super-hétérodyne précèdent celles des récepteurs à super-réaction, à conversion directe et quasi-directe. Les contraintes de consommation liées à la réjection de la fréquence image sont également discutées.

2.4.1 Super-hétérodyne

La figure 2.4 représente une architecture super-hétérodyne. Le signal d'entrée est pré-filtré, puis converti en plus basse fréquence. Sa sélectivité est augmentée par un filtre passif externe au circuit intégré, puis, le signal est converti en très basse fréquence où les opérations de démodulation ont lieu.

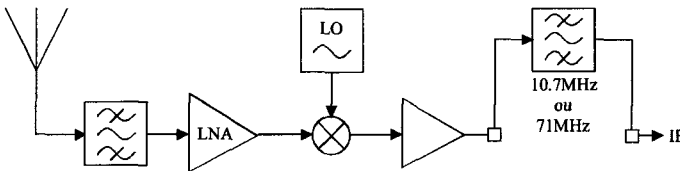


FIG. 2.4 – Principe d'un démodulateur super-hétérodyne.

Les performances d'une telle architecture sont excellentes. Les problèmes de réjection du LO sur l'entrée RF ou de fréquence image sont résolus simultanément. Le choix de la fréquence intermédiaire est un compromis entre la sélectivité du canal et la réjection de la fréquence image. Pour des raisons d'encombrement et de prix, les fréquences intermédiaires sont souvent de 10.7MHz ou de 71MHz [34]. Le nombre de composants externes ainsi que la consommation en courant sont importants. Par exemple, l'usage de filtres

passifs à des fréquences proches de 10MHz impose des niveaux d'impédance de l'ordre de 300Ω qui, naturellement, coûtent en consommation.

2.4.2 Super-réaction

Le principe de la super-réaction est d'injecter un signal modulé en amplitude (OOK) en provenance d'une antenne sur un oscillateur accordé à la fréquence à démoduler [25],[40]. La consommation d'un tel système est relativement faible, les seuls noeuds haute fréquence nécessaires dans la chaîne de réception étant ceux d'un étage d'isolation et du filtre sélectif.

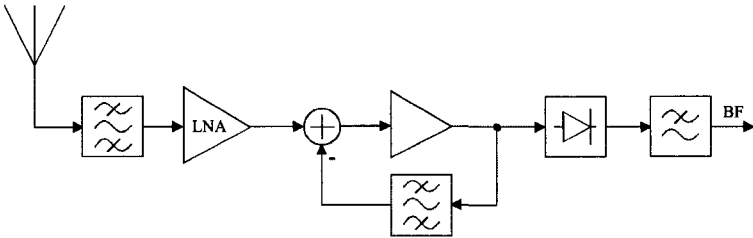


FIG. 2.5 – Principe d'un démodulateur à super-réaction.

Cette solution souffre néanmoins de différents problèmes qui limitent ses performances. Sa démodulation est basée sur un échantillonnage de l'amplitude du signal d'entrée. Sa bande passante équivalente haute fréquence est au minimal 5 fois plus élevée que le débit de données. La sensibilité intrinsèque du dispositif est donc dégradée d'environ 7dB [25]. De plus, aucune publication ne démontre la faisabilité d'un asservissement de fréquence satisfaisant. La solution retenue consiste à dégrader le facteur de qualité pour augmenter la bande passante du filtre équivalent et pour tolérer des dispersions sur les éléments du filtre sélectif.

En conclusion, cette solution peut être intéressante, particulièrement dans un milieu sans perturbateur. Elle est cependant trop limitative : l'OOK est le seul type de modulation utilisable et les canaux adjacents doivent être éloignés. Dans un environnement où même les bandes ISM tendent à se normaliser, la super-réaction va probablement rester marginale.

2.4.3 Conversion quasi-directe à suppression d'image

Une architecture à conversion quasi-directe et à réjection d'image est présentée sur la Fig. 2.6. Après sélection de la bande et amplification, le

signal est transposé à une fréquence proche de la bande de base. Dans ce cas, et afin de garder une information qui distingue les fréquences positives (supérieures à la fréquence de l'oscillateur local) des fréquences négatives (inférieures à la fréquence du LO), il est nécessaire de multiplier le signal par deux signaux en quadrature (I et Q). La différence de phase des signaux basse fréquence est porteuse de cette information.

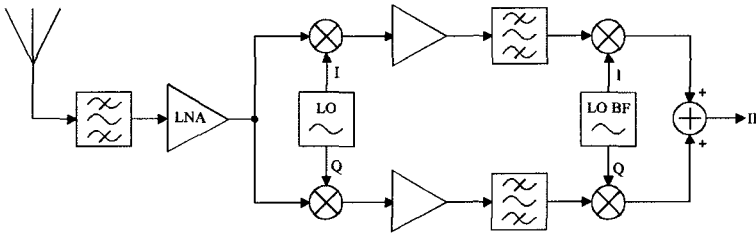


FIG. 2.6 – Démodulateur de Weaver à réjection d'image [34].

Afin d'éviter les problèmes de bruit $1/f$ et les modulations à basse fréquence ($\leq 10\text{kHz}$), le signal n'est pas transposé directement en bande de base. Sa fréquence intermédiaire est comprise entre 100kHz et 1MHz et la sélection du canal peut s'effectuer par un filtrage passe-bande ou par des filtres complexes [35]. Cependant, dû au léger décalage fréquentiel, la fréquence image est également présente dans les signaux filtrés basse fréquence. C'est pour cette raison qu'il est nécessaire de la supprimer. Cette opération est effectuée par les deux mélangeurs BF commandés par un LO basse fréquence en quadrature (LO BF). Pour terminer, le sommateur permet de sélectionner la bande de fréquence supérieure ou inférieure à la fréquence du LO.

Une précision concernant les modulations basse fréquence doit être apportée. Les changements environnementaux du récepteur, tels qu'une main qui s'approche d'une souris d'ordinateur, font varier les caractéristiques globales du système. Par exemple, l'isolation entre l'oscillateur et l'antenne n'est pas parfaite et varie avec l'environnement ; une composante très basse fréquence peut moduler le point de polarisation en sortie des mélangeurs. C'est pour cette raison que le filtrage passe-haut est nécessaire.

Le principal inconvénient lors de l'utilisation d'une réjection d'image intégrée pour un récepteur à très faible consommation est l'appariement nécessaire entre les signaux I et Q. En effet, le taux de réjection de la fréquence image (Image Rejection Ratio IRR) est lié aux erreurs relatives d'amplitude $\Delta A/A$ et aux erreurs de phase $\Delta\phi$ entre les deux signaux basse

fréquence avant leur addition (soustraction) [34]. En supposant que les erreurs d'amplitude et de phase sont réparties aléatoirement entre l'oscillateur local haute fréquence, les différentes chaînes de gain et de filtrage et l'oscillateur basse fréquence, on obtient :

$$IRR = \frac{(\Delta A/A)^2 + (\Delta\phi)^2}{4} \quad (2.9)$$

$$\Delta\phi = \sqrt{\sum_i (\Delta\phi_i)^2} \quad \text{et} \quad \Delta A/A = \sqrt{\sum_i (\Delta A_i/A_i)^2} \quad (2.10)$$

où $\Delta\phi$ est en radian et vaut 0 pour deux signaux I et Q parfaitement déphasés de 90° , tandis que l'indice i permet de distinguer chaque source d'erreur en amplitude et en phase. La Fig. 2.7 représente le taux de réjection de la fréquence image en fonction de l'erreur de phase $\Delta\phi$, pour quelques valeurs particulières de l'erreur relative d'amplitude $\Delta A/A$. Pour un système à courte distance, l'IRR doit être dans le pire des cas de 55dB (40dB pour l'atténuation géométrique et environ 15dB de rapport signal-sur-bruit).

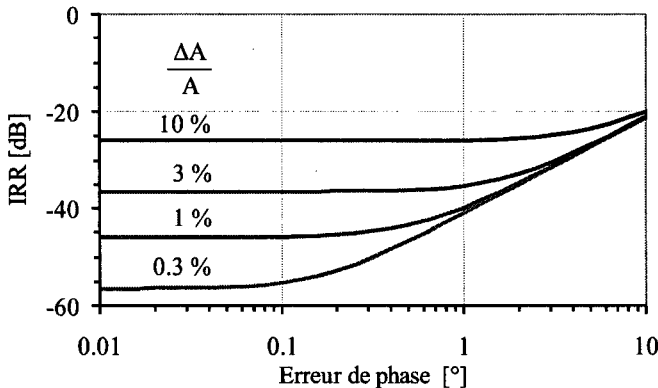


FIG. 2.7 – Effet d'une erreur relative d'amplitude $\Delta A/A$ ou erreur de phase $\Delta\phi$ en degré sur le taux de réjection (IRR) en dB de la fréquence image.

Cette solution n'a pas été retenue, les contraintes sur la consommation du LO étant trop importantes pour garantir une réjection de l'image suffisante. Cependant, en cas de très faible consommation, si des réjections de

20 à 30dB de la fréquence image sont acceptables, cette solution peut être intéressante. C'est d'ailleurs pour cette raison que le modulateur utilisé à l'émission est basé sur ce principe (voir chapitre 6).

En conclusion, il est évident qu'une distribution fréquentielle des canaux de transmission libérant les fréquences images permet de simplifier l'architecture en utilisant un seul des canaux de démodulation. Les seuls inconvénients sont une augmentation de la figure de bruit de 3dB et un doublement de la probabilité de perturbation.

2.4.4 Conversion directe

La conversion directe (voir Fig. 2.8) translate la bande de fréquence modulée directement en bande de base. Comme dans le cas de la conversion quasi-directe, l'information sur les fréquences supérieures et inférieures au LO est contenue dans la phase des signaux basse fréquence. Cette architecture est très attrayante du point de vue de la consommation. Le nombre de noeuds HF est réduit au strict minimal, soit ceux de l'amplificateur faible bruit, de l'oscillateur local et du synthétiseur de fréquence. En bande de base, des filtres intégrés permettent de sélectionner le canal.

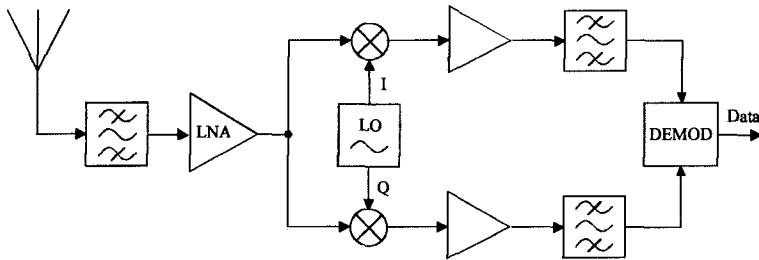


FIG. 2.8 – Principe d'un démodulateur à conversion directe.

Les problèmes de cette architecture et de son implémentation en technologie CMOS sont bien connus [36]. Citons principalement :

1. la dégradation de la sensibilité du récepteur due au bruit $1/f$,
2. les problèmes de modulation basse fréquence générés par les changements de l'environnement,
3. le couplage à la réception de l'oscillateur local sur l'entrée RF ("spurious LO leakage") qui induit des "offsets",
4. l'augmentation du bruit de phase de l'oscillateur LC causé par les effets paramétriques du bruit $1/f$ [37],

5. les couplages lors de l'émission entre l'amplificateur de puissance et l'oscillateur local.

L'effet du bruit $1/f$ dans la chaîne de réception et plus particulièrement dans les mélangeurs sera étudié au chapitre 4. Une modulation libérant la partie centrale du spectre résout les trois premiers problèmes simultanément [38]. C'est pour cette raison qu'une modulation FSK à grand rapport de déviation de fréquence Δf sur débit \dot{D} est préconisée (voir Fig. 2.10). Le couplage entre l'oscillateur local et l'amplificateur de puissance peut générer des instabilités lors de l'émission ; la configuration du circuit intégré lors de son layout doit donc être réalisée avec précaution afin de les éviter.

La démodulation en conversion directe d'un signal FSK ne souffre pas aussi fortement des problèmes liés à la qualité de la quadrature entre les signaux I et Q. En rappelant que le taux d'erreur ϵ_{FSK} est fonction du rapport signal-sur-bruit selon la relation suivante [38] :

$$\epsilon_{FSK} = \frac{1}{2} \cdot \operatorname{erfc} \sqrt{\frac{P_{in}}{P_N}} \quad \text{avec} \quad SNR_0 = 10 \cdot \log \left(\frac{P_{in}}{P_N} \right) \quad (2.11)$$

où P_{in} est la puissance reçue du signal, P_N est la puissance de bruit intégrée sur la largeur de bande totale $P_N \cong 1.6 \cdot \dot{D}$ et SNR_0 est le rapport signal-sur-bruit minimal. Pour mémoire, erfc est la fonction d'erreur complémentaire [38]. Il est ensuite possible de calculer la dégradation du rapport signal-sur-bruit en fonction des erreurs relatives d'amplitude $\Delta A/A$ et des erreurs de phase $\Delta \phi$:

$$\frac{SNR}{SNR_0} = 20 \cdot \log \left[\left(1 - \frac{\Delta A}{A} \right) \cdot \cos(\Delta \phi) \right] \quad (2.12)$$

La Fig. 2.9 décrit la perte de rapport signal-sur-bruit en fonction de l'erreur de phase $\Delta \phi$, pour quelques cas particuliers d'erreur relative d'amplitude $\Delta A/A$. Pour une erreur de phase de $\pm 20^\circ$ et d'amplitude de $\pm 10\%$, le SNR n'est dégradé que de 1.5dB. La robustesse de cette architecture face aux erreurs de phase et d'amplitude ainsi que le nombre réduit de noeuds haute fréquence sont idéaux pour la réalisation d'un émetteur-récepteur intégré et à faible consommation.

2.5 Cahier des charges

Pour conclure ce chapitre, cette section présente le cahier des charges d'un émetteur-récepteur à conversion directe pour la bande ISM des 434MHz.

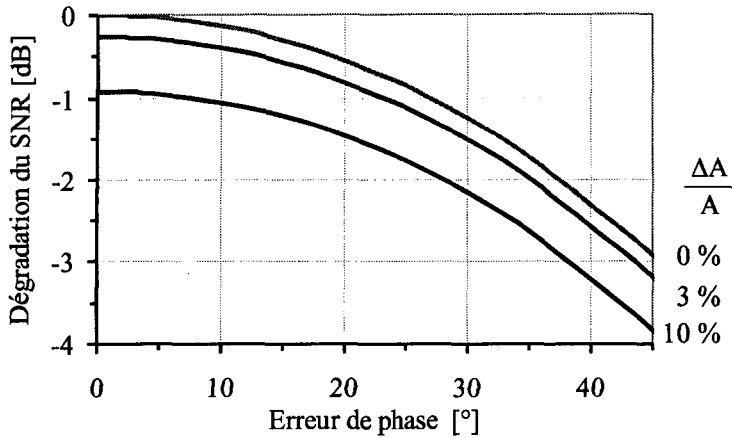


FIG. 2.9 – Effet d’une erreur relative d’amplitude $\Delta A/A$ ou de phase $\Delta \phi$ sur la dégradation du rapport signal-sur-bruit lors d’une démodulation FSK.

La technologie choisie est la CMOS-D 0.5 μ m d’Alcatel-Mietec [39].

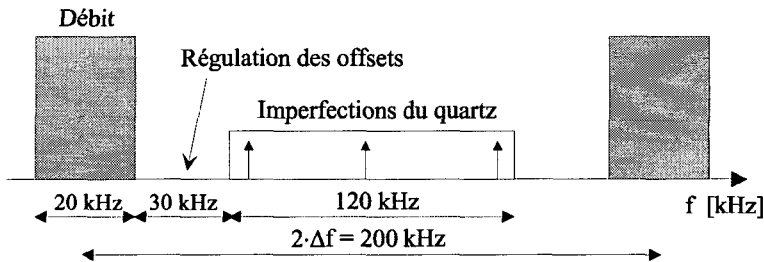


FIG. 2.10 – Répartition spectrale en FSK à large taux de modulation.

Le type de modulation est la FSK à large déviation de fréquence. Δf est de 100kHz et le débit \dot{D} maximal est d’environ 20kbits/s. Le rapport entre la déviation de fréquence et le débit est de 5, afin de libérer la partie centrale du spectre. De plus, comme le montre la figure 2.10, cette partie du spectre peut être utilisée au niveau système du récepteur. Les points de polarisation sont réglés avec des constantes de temps inférieures à 100 μ s. Les tolérances (± 30 ppm) et l’effet de vieillissement (± 50 ppm) du quartz sont compensés par l’augmentation de la largeur de bande des filtres basse fréquence (60kHz

au lieu des 20kHz nécessaires). Ceci se réalise au détriment de la sensibilité (5dB), mais en offrant une insensibilité aux éléments extrinsèques de $\pm 100\text{ppm}$.

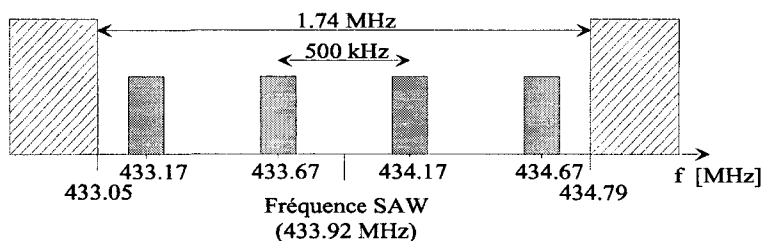


FIG. 2.11 – Répartition spectrale des canaux dans la bande ISM.

Le cahier des charges au niveau système d'un émetteur-récepteur dans la bande ISM des 434MHz peut donc être résumé à l'aide du tableau 2.2. Un nombre de canaux idéal de quatre permet suffisamment de souplesse pour des applications à plusieurs périphériques. Ces derniers, espacés de 500kHz, doivent être répartis de manière à éviter la fréquence centrale de la bande ISM (voir Fig. 2.11) et l'utilisation abusive de modulateurs à SAW.

Technologie	CMOS-D Mietec 0.5 μm
Fréquence de travail	Bande ISM des 434MHz
Type d'architecture	Conversion directe
Type de modulation	FSK avec $\Delta f / \bar{D} = 5$
Référence de fréquence	Quartz
Puissance maximale	10 dBm
Nombre de canaux	4 à 7
Tension d'alimentation	1 à 2V
Consommation en réception	1 mA
Débit	20 kbits/s
Distance	1 à 100 m

TAB. 2.2 – Spécifications système d'un émetteur-récepteur courte distance.

2.5.1 Récepteur

En appliquant la formule de FRIIS (Equ. 2.2), la figure de bruit minimale du récepteur peut être calculée [41] :

$$NF_{min} = 152 + P_{rad}[\text{dBm}] - 10 \cdot \log(B[\text{Hz}]) \quad (2.13)$$

$$+ 10 \cdot \log(DPF \cdot \eta_r) - 20 \cdot \log\left(\frac{r_{max}}{\lambda}\right) - SNR$$

En supposant une puissance rayonnée par la station de base de $P_{rad} = 0\text{dBm}$, une largeur de bande des filtres basse fréquence I et Q inférieure à 100kHz , un facteur de dépolarisation de $1/2$, un gain d'antenne de -15dBi , une distance maximale de 100m et un rapport signal-sur-bruit de 15dB , la figure de bruit minimale du récepteur complet est de $NF_{min} \cong 25\text{dB}$. Cependant, la figure de bruit du circuit électronique, en particulier ses étages d'entrée, doit être d'environ 20dB . En effet, 2 à 3dB sont perdus lors de l'utilisation d'un filtre à ondes de surface et 1 à 2dB lors de l'adaptation d'impédance. Un filtre à onde de surface (SAW) est nécessaire à l'entrée du circuit intégré. En effet, des puissances de 20dBm sont possibles dans une bande de fréquence inférieure à 10MHz de la porteuse.

	Label	Valeurs
Figure de bruit minimale	NF_{min}	20 dB
Dynamique libre d'interférence	SFDR	55 dB
Niveau de bruit @ $B = 60\text{kHz}$, $SNR=0$	MDS	-105 dBm
Point d'intersection du troisième ordre	IIP3	-22 dBm
Impédance d'entrée	Z_{in}	50Ω

TAB. 2.3 – Spécifications de la figure de bruit, de l'IIP3 et de la dynamique libre d'interférence du récepteur.

Le tableau 2.3 résume les spécifications du récepteur. La dynamique libre d'interférence est de 55dB (40dB d'affaiblissement de propagation et 15dB de SNR). Globalement, l'impédance d'entrée est de 50Ω afin de faciliter la caractérisation et le réseau d'adaptation avec les antennes.

Les filtres $g_m C$ passe-bande du 8ème ordre ont une réponse de Bessel. En effet, lors de la démodulation FSK, l'information est contenue dans la différence de phase entre les deux signaux I et Q en bande de base. Le filtre passe-bas est du 5ème ordre afin de rejeter le canal adjacent de 55dB tandis que le filtre passe-haut est du 3ème ordre. Une indication RSSI de la puissance du signal et l'utilisation du récepteur afin de démoduler de l'OOK (sans réjection d'image) sont également implémentées.

2.5.2 Émetteur

Pour l'émission, l'amplificateur de puissance doit posséder un rendement aussi élevé que possible, sa puissance de sortie devant être d'environ 0dBm sous 1V de tension d'alimentation. Le réglage de la puissance permet d'améliorer la durée de vie d'une cellule distribuée. Une gamme de régulation de 20dB, par pas de 3dB à l'aide d'un mot digital par exemple, est donc indispensable. Comme sa consommation en courant dépend fortement de la puissance de sortie, il n'est pas très utile de la fixer. Cependant, un courant moyen maximal de 10mA est à peu près la limite de ce que peut fournir une pile bouton.

Le spectre généré doit être à phase continue afin de diminuer la densité spectrale de puissance hors de la bande de modulation [38]. Pour terminer, le synthétiseur de fréquence doit être le même que celui utilisé à la réception afin de réduire la surface du circuit intégré.

2.5.3 Synthétiseur de fréquence

Bien que le synthétiseur de fréquence ne soit pas décrit dans cette thèse, son cahier des charges est brièvement mentionné pour des raisons de cohérence [26]. Ses contraintes sont inférieures à celles d'un récepteur GSM. Le bruit de phase de son oscillateur $L(\Delta f)$ doit être suffisamment faible pour éviter une conversion du signal adjacent [34]. Dans le cas extrême d'un faible signal dans la bande à démoduler et d'un fort signal sur le canal adjacent, la condition suivante doit être respectée [41] :

$$L(\Delta f_{\text{adj}}) \leq \frac{1}{B \cdot DR} \quad (2.14)$$

$L(\Delta f_{\text{adj}})$ est le bruit de phase à la fréquence du canal adjacent, $B = 200\text{kHz}$ la largeur de bande des filtres I et Q et $10 \cdot \log(DR) = 55\text{dB}$ la dynamique. A 500kHz de décalage de la porteuse, le bruit de phase ne doit donc pas dépasser -108dBc/Hz. Enfin, la tension crête fournie par l'oscillateur LC est d'environ 100mVp et la charge capacitive des mélangeurs ne doit pas dépasser 100fF. Ces contraintes sont importantes car elles lient le synthétiseur de fréquence au démodulateur.

2.5.4 Répartition du budget de consommation

Afin d'atteindre une consommation maximale de 1mA lors du fonctionnement en récepteur, la puissance consommée a été initialement distribuée

selon le tableau 2.4. Pour déterminer la consommation de chaque bloc, le nombre de noeuds haute fréquence ainsi que la dynamique nécessaire (par exemple dans les filtres) ont été estimés grossièrement. Ce tableau doit être comparé avec celui de la figure 7.19 qui décrit la répartition de puissance, une fois le prototype réalisé.

Amplificateur et mélangeurs	200 μ A	20%
Oscillateur LC	200 μ A	20%
Déphaseur actif	200 μ A	20%
Diviseur de fréquence	200 μ A	20%
Filtres	100 μ A	10%
Limiteurs, démodulateurs,...	100 μ A	10%
Total	1 mA	100%

TAB. 2.4 – Répartition initiale du budget de consommation.

Chapitre 3

Limites technologiques

Ce chapitre décrit les limitations d'une technologie CMOS lors de son utilisation à haute fréquence et pour un budget de consommation restreint.

Dans une première partie, le choix qui consiste à soulager les noeuds capacitifs internes par des inductances est discuté. Dans une seconde section, la consommation nécessaire à garantir une dynamique libre d'interférence est calculée pour différentes structures.

En troisième partie, la limitation du facteur d'inversion dû à la faible tension d'alimentation est présenté. La quatrième section décrit les limitations fréquentielles du dispositif MOS ainsi que le facteur d'inversion optimal duquel un gain en tension suffisant est obtenu.

En conclusion, des facteurs de mérite technologiques sont proposés. De plus, il est démontré que la consommation de circuits haute fréquence est principalement liée à la fréquence de travail, et non pas à la dynamique nécessaire au signal.

3.1 Utilisation de composants inductifs

Afin de réduire la consommation du circuit, les niveaux d'impédance doivent être plus élevés que les habituels 50Ω . L'utilisation de composants inductifs à haut facteur de qualité est une solution a priori intéressante pour diminuer la consommation d'un circuit haute fréquence.

3.1.1 Charges capacitives ou résonantes

Lors de la conception d'un amplificateur à faible bruit ou d'un pré-amplificateur de puissance, trois solutions existent pour augmenter le niveau d'impédance :

1. réduire au maximum la charge capacitive de chaque noeud interne,
2. sortir du circuit intégré pour utiliser des inductances externes à haut facteur de qualité,
3. utiliser des inductances intégrées.

La solution consistant à intégrer des inductances à 430MHz n'a pas été retenue. En effet, le facteur de qualité est particulièrement faible ($Q \leq 4$) et la surface occupée importante [43]. Comparons les deux autres possibilités. Dans le premier cas, le niveau d'impédance Z_{int} s'écrit à l'aide de la charge capacitive interne C_{int} de la manière suivante

$$|Z_{\text{int}}| = \frac{1}{\omega \cdot C_{\text{int}}} \quad (3.1)$$

Dans le second cas, lors de l'utilisation d'une inductance de facteur de qualité Q résonnant à la fréquence ω et pour un niveau de capacité externe C_{ext} , on obtient

$$|Z_{\text{ext}}| = \frac{Q}{\omega \cdot (C_{\text{ext}} + C_{\text{int}})} \quad (3.2)$$

C_{int} comprend la charge des lignes internes et celle des transistors actifs tandis que C_{ext} comprend la charge capacitive due au pad, au boîtier et au pcb. Il est donc évident que l'utilisation d'une charge interne est justifiée du point de vue consommation si la condition suivante est respectée :

$$C_{\text{int}} \leq \frac{C_{\text{ext}}}{Q - 1} \quad (3.3)$$

Il est possible d'obtenir des capacités intégrées de l'ordre de 200fF (100fF de surface active et 100fF de ligne capacitive), et cela même dans le cas de circuits relativement complexes où de nombreux blocs doivent être interconnectés [37]. Une charge capacitive de ligne de 100fF correspond à une ligne d'environ 100 μ m de long. A contrario, l'utilisation de boîtier standard (2pF), de pad (0.5pF) et de pcb (2pF) a comme conséquence des capacités $C_{\text{ext}} \cong 5pF$. Pour utiliser un élément inductif qui permet d'élever le niveau d'impédance externe au niveau de celui obtenu dans le circuit intégré, un facteur de qualité Q supérieur à 25 est nécessaire.

3.1.2 Éléments inductifs à haut facteur de qualité

La réalisation, à l'aide de composants standards, d'un facteur de qualité de 20 à 40 est envisageable. Analysons les avantages et les inconvénients de cette solution.

Avantages

1. A chaque utilisation d'une inductance, un filtre passe-bande apparaît, ce qui améliore la réjection des signaux aux harmoniques de la porteuse.
2. Le layout et les capacités de lignes sont moins critiques car ils influencent peu la charge capacitive totale.
3. Les transistors peuvent avoir une surface importante, ce qui diminue les effets du bruit $1/f$ et les mésappariements.

Inconvénients

1. Chaque noeud interne haute fréquence doit être soulagé par une inductance si la taille des transistors est augmentée. De plus, cette solution n'est pas toujours réalisable. Par exemple, le noeud interne d'un mélangeur ne peut pas être sélectif. Dans ce cas, sa consommation sera importante.
2. Le nombre de pads va faire augmenter simultanément la surface du circuit intégré et son coût.
3. Le même circuit ne peut pas être utilisé simultanément pour plusieurs bandes de fréquence (multi-bande).
4. Avec un grand facteur de qualité, il faut asservir précisément la fréquence de résonance, ce qui implique de la mesurer et de l'ajuster pour chaque noeud afin de compenser ses tolérances, les dérives thermiques et les effets du vieillissement.

3.1.3 Capacités internes

La solution consistant à n'utiliser aucun élément inductif externe se justifie d'un point de vue consommation (voir Equ. 3.3). En voici les avantages et les inconvénients.

Avantages

1. La surface utilisée pour les blocs haute fréquence est faible et les coûts associés sont réduits.
2. La diminution du nombre de pads et du nombre de composants externes réduit considérablement les effets de couplage entre les différents blocs fonctionnels.
3. Un circuit multi-bande peut facilement être envisagé, la seule contrainte étant une bande passante suffisante aux noeuds haute fréquence.
4. La complexité est réduite ; par exemple, aucun asservissement de la fréquence de résonance d'un circuit LC à facteur de qualité élevé n'est requis.

Inconvénients

1. La taille des transistors est réduite, ce qui a pour conséquence un niveau de bruit $1/f$ ainsi que des offsets élevés.
2. Lors de la conception du circuit intégré, toutes les lignes capacitatives parasites doivent être estimées avec précision.
3. Le manque de sélectivité dans la chaîne de démodulation empêche une bonne réjection des signaux présents sur une des harmoniques de la porteuse.

3.1.4 Synthèse

Le choix d'une technologie CMOS digitale et ses implications sur le type de modulation sont guidés par la réalisation d'un lien courte distance à faible coût. La réduction du nombre de composants externes suit donc cette ligne de conduite. Aucune inductance externe n'est utilisée, excepté dans les circuits d'adaptation et pour réduire le bruit de phase de l'oscillateur local.

Cependant, une solution de type flip-chip, à la place d'un boîtier standard, permet de diminuer le niveau de capacité externe autour de 1pF. Dans ce cas, une consommation similaire à celle obtenue avec des capacités internes de 200fF serait atteinte pour des facteurs de qualité de 6. La sélectivité serait améliorée, tout en supprimant des asservissements en fréquence fastidieux. Malheureusement cette solution augmente les coûts de façon importante.

3.2 Consommation liée à la SFDR

Afin de déterminer la limite supérieure de linéarité ou la dynamique d'un système, différentes notions sont utilisées dans la littérature [34],[44]. Les relations simplifiées reliant le point de compression à 1dB, le taux de distorsion ou le point d'intersection du troisième ordre sont décrites dans l'appendice A.

3.2.1 Dynamique libre d'interférence SFDR

Le calcul de la dynamique libre d'interférence (SFDR) de différentes structures couramment utilisées en électronique intégrée est effectué dans l'appendice A. La SFDR est la dynamique la plus stricte utilisée en conception de circuit de télécommunications. Elle définit le rapport entre : 1) le niveau auquel le produit d'intermodulation d'ordre trois atteint le niveau de bruit, et 2) le niveau de bruit dans une largeur de bande donnée ($SNR = 1$). Le tableau 3.1 récapitule les principaux résultats obtenus pour un transistor MOS en faible inversion, une paire différentielle en faible inversion, en forte inversion ou fortement dégénérée par une résistance (voir Fig. 3.1).

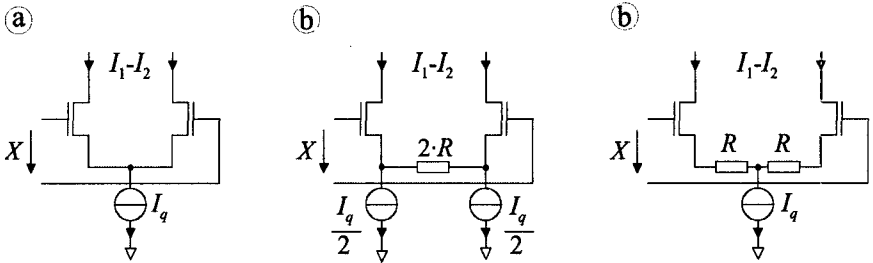


FIG. 3.1 – Schéma de trois structures calculées : a) paire différentielle en faible et en forte inversion, b) paires différentielles fortement dégénérées.

X_{IIP3} est la tension d'entrée efficace unipolaire au point d'intersection du troisième ordre. S_{VN} est la densité spectrale de tension de bruit efficace et unipolaire ramenée sur la grille, tandis que V_N est sa tension de bruit intégrée sur une largeur de bande B . I_q est le courant de polarisation total des différentes structures, n le facteur de pente, $U_T = kT/q$ la tension thermodynamique et IC le facteur d'inversion d'un des transistors de la paire

	X_{IIP3}	$\frac{S_{VN}}{4kT}$	$\left(\frac{X_{IIP3}}{V_N}\right)^2 \frac{4kTB}{U_T I_q}$
MOS faible en inversion	$2 \cdot nU_T$	$\frac{n^2 U_T}{2I_q}$	8
Diff. en faible inversion	$2\sqrt{2} \cdot nU_T$	$\frac{2n^2 U_T}{I_q}$	4
Diff. en forte inversion	$\frac{8}{\sqrt{3}} \cdot nU_T \sqrt{IC}$	$\frac{8n^2 U_T}{3I_q} \sqrt{IC}$	$8\sqrt{IC}$
Diff. dégénérée	$nRI_q \sqrt{\frac{RI_q}{2U_T}}$	$2n^2 R$	$\frac{1}{2} \left(\frac{RI_q}{U_T}\right)^2$

TAB. 3.1 – Point d'intersection du troisième ordre X_{IIP3} , densité spectrale de bruit normalisée S_{VN} et dynamique libre d'interférence normalisée.

différentielle au point de repos. La dynamique libre d'interférence (SFDR en dB) est liée à X_{IIP3} et V_N par la relation suivante (voir Equ. A.28) :

$$\text{SFDR} = \frac{2}{3} \cdot 10 \log \left(\frac{X_{IIP3}}{V_N} \right)^2 \quad (3.4)$$

3.2.2 Puissance minimale consommée

Il est possible de définir un facteur de mérite qui lie la puissance consommée P , le gain en tension A et la dynamique libre d'interférence de ces structures. Soit $P_{\min} = V_{DD\min} \cdot I_q$ la puissance minimale consommée nécessaire. Si $V_{DD\min} = \sqrt{2} \cdot X_{IIP3} \cdot A$, il est possible de calculer P_{\min}^1 .

Le Tab. 3.2 représente le facteur de mérite $P_{\min}/P_{\min,0}$ obtenu pour chaque structure, $P_{\min,0}$ étant la puissance minimale nécessaire à un transistor en faible inversion. Le transistor MOS en faible inversion a un facteur de mérite meilleur que les paires différentielles en faible et en forte inversion. En effet, les distorsions d'ordre deux ne sont pas prises en compte, la dynamique libre d'interférence n'étant liée qu'au point d'intersection du troisième ordre X_{IIP3} . Cela pénalise naturellement les structures différentielles (voir appendice A).

¹Le coefficient multiplicatif de P_{\min} n'est pas identique à celui calculé en [45]. E. Vittoz évalue une dynamique liée au point de compression, tandis que P_{\min} est donnée par le point d'intersection du troisième ordre.

	P_{\min}	$P_{\min}/P_{\min,0}$
MOS en faible inversion	$\sqrt{2}n \cdot kTB \cdot A \cdot \left(\frac{X_{HP3}}{V_N}\right)^2$	1
Diff. en faible inversion	$4n \cdot kTB \cdot A \cdot \left(\frac{X_{HP3}}{V_N}\right)^2$	$2\sqrt{2}$
Diff. en forte inversion	$4n\sqrt{\frac{2}{3}} \cdot kTB \cdot A \cdot \left(\frac{X_{HP3}}{V_N}\right)^2$	$\frac{4}{\sqrt{3}}$
Diff. dégénérée	$8n\sqrt{\frac{U_T}{RI_q}} \cdot kTB \cdot A \cdot \left(\frac{X_{HP3}}{V_N}\right)^2$	$\frac{8}{\sqrt{2}}\sqrt{\frac{U_T}{RI_q}}$

TAB. 3.2 – Evaluation de la puissance minimale consommée pour un gain en tension A et une largeur de bande B .

Les paires différentielles en faible et forte inversion ont un facteur de mérite quasiment identique. Ce n'est pas le cas pour la paire différentielle dégénérée. A partir de tensions $RI_q \geq 4U_T$, sa figure de mérite devient meilleure que celle de la paire différentielle en faible inversion. Ce gain est toutefois limité à des tensions $RI_q \leq 200U_T$ (voir Fig. A.3). En effet, lorsque le produit RI_q atteint cette limite, la notion de point d'intersection du troisième ordre perd sa signification. En circuit intégré sub-micronique cependant, la tension d'alimentation est généralement inférieure à $200U_T \cong 5V$.

3.2.3 Puissance réellement consommée

Il est évident que la puissance minimale calculée P_{\min} ne prend pas en compte les effets liés, par exemple, à la tension de seuil V_{T0} ou de saturation V_{SAT} des transistors. Sous très faible tension d'alimentation, seules les paires différentielles en faible inversion sont utilisables. Dans ce cas, la puissance P consommée peut être écrite (voir Tab. A.3) :

$$P = V_{DD} \cdot I_q = 4kTB \cdot \frac{V_{DD}}{4U_T} \cdot 10^{\frac{3}{2} \cdot \frac{SFDR}{10}} \quad (3.5)$$

Pour 1V de tension d'alimentation, 55dB de SFDR, et 60kHz de largeur de bande, la puissance consommée est de $P \cong 1.7\mu W$. Comme on le verra dans la section 3.5, la consommation de courant n'est pas limitée par la dynamique libre d'interférence du système. Elle est liée à la transconductance nécessaire pour obtenir des gains en tension supérieurs à l'unité en présence de capacités parasites en haute fréquence.

3.3 Effets de la faible tension d'alimentation

3.3.1 Limitation du facteur d'inversion

La faible tension d'alimentation limite le facteur d'inversion lors de l'utilisation de transistors MOS. Le circuit de la Fig. 3.2 est un des plus simples que l'on puisse réaliser sous très faible tension d'alimentation sans utiliser des capacités de couplage [31]. La source de courant I_{q1} vers la masse permet de polariser le transistor en courant, tandis que I_{q2} permet la régulation du mode commun sur la grille du transistor.

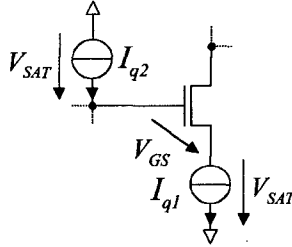


FIG. 3.2 – Circuit simplifié pour la détermination du facteur d'inversion maximal IC_{max} en fonction de la tension d'alimentation.

3.3.2 Plage de tension disponible

La tension V_{DSsat} nécessaire pour caractériser l'état du canal du transistor est fonction de la tension de grille V_G , de la tension de source V_S et du facteur de pente $n \cong 1.2$ [49].

$$V_{DSsat} = V_P - V_S = \frac{V_G - V_{T0}}{n} - V_S \quad (3.6)$$

où V_G et V_S sont référencées à la tension de bulk. V_P est la tension de pincement du canal et V_{T0} la tension de seuil du transistor lorsque V_S est nulle. La tension V_{DSsat} maximale disponible dépend de la tension d'alimentation V_{DD} et de la tension de saturation V_{SAT} des sources de courant. Dans le meilleur des cas, soit des transistors polarisés en faible inversion, $V_{SAT} \geq 125\text{mV}$.

$$V_{DSsat} = \frac{V_{DD} - V_{T0}}{n} - V_{SAT} \cdot \frac{1+n}{n} \quad (3.7)$$

3.3.3 Facteur d'inversion maximal

La plage de tension V_{DSsat} (voir Fig. 3.3) est utilisée à la fois pour fixer le facteur d'inversion IC du transistor et comme tension nécessaire à la dynamique du signal. Le facteur d'inversion IC est lié au paramètre $V_{DSsat}/(2 \cdot U_T)$ par l'approximation suivante [45] :

$$IC \cong \left[\ln \left(1 + e^{\frac{V_{DSsat}}{2 \cdot U_T}} \right) \right]^2 \quad (3.8)$$

IC est inférieur à $(\ln 2)^2 \cong 1/2$ pour des tensions V_{DSsat} négatives et supérieur à $1/2$ pour des tensions V_{DSsat} positives. Pour $V_{DD} = 1V$, $V_{T0} = 0.65V$, $V_{SAT} = 125mV$ et $n = 1.2$, la tension maximale $V_{DSsat} \cong 60mV$ et le facteur d'inversion vaut $IC_{max} \cong 3$. Il est donc évident qu'un modèle de transistor fonctionnant de faible à forte inversion est indispensable pour la conception de circuit intégré à très faible tension d'alimentation.

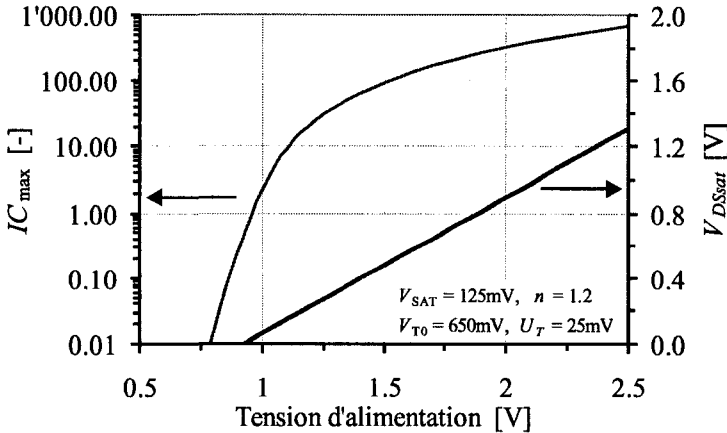


FIG. 3.3 – Facteur d'inversion IC_{max} et tension V_{DSsat} maximale en fonction de la tension d'alimentation pour un transistor NMOS en technologie Alcatel-Mietec $0.5\mu m$ ($n = 1.2$ et $V_{T0} = 650mV$).

IC est utilisé pour décrire l'état d'inversion du canal du transistor lorsqu'il est saturé. En effet, la tension V_{DSsat} , qui correspond à la tension de pincement en forte inversion, perd sa signification en faible inversion ($IC \leq 0.1$) et en inversion modérée ($0.1 \leq IC \leq 10$).

3.3.4 Facteur de mérite V_{DSsat}

La plage de tension V_{DSsat} peut également être considérée comme un facteur de mérite technologique en fonction de la tension d'alimentation minimale disponible. Lorsque sa valeur tend vers zéro, les limites fréquentielles du dispositif sont atteintes plus rapidement (voir section 3.4), la tension crête maximale du signal tend vers U_T , et les points de repos doivent être asservis de manière très précise.

Toutes ces contraintes se relâchent si la tension d'alimentation augmente. Par exemple, pour $V_{DD} = 1.6V$, tout en gardant les autres paramètres constants, la tension V_{DSsat} maximale est de 560mV, soit environ 10 fois supérieure à celle disponible sous 1V. IC_{max} vaut environ 120 et les contraintes sur la conception diminuent fortement.

En dernier lieu, lors de la conception de circuits sous très faible tension d'alimentation, la tension V_{DSsat} est faible. La réduction de mobilité due au champ vertical est par conséquent négligeable [46]. C'est pour cette raison que dans les développements qui suivent cet effet est négligé.

3.4 Limitations fréquentielles

Les limitations fréquentielles d'un transistor MOS peuvent être formulées de différentes manières. La fréquence de coupure intrinsèque du canal f_c , la fréquence à gain en courant unité f_T ou la fréquence maximale d'utilisation f_{max} sont définies ci-dessous.

3.4.1 Fréquence de coupure du canal f_c

La fréquence de coupure intrinsèque du canal est obtenue lorsque les effets non quasi-statiques (NQS) du transistor apparaissent. Dans le modèle EKV [53] cette fréquence de coupure est liée à la constante de temps τ du dispositif par la relation suivante :

$$f_c = \frac{1}{2\pi} \cdot \frac{1}{\tau} = \frac{3}{\pi} \cdot \frac{\mu U_T}{L_{min}^2} \cdot \begin{cases} 1 & IC \ll 1, \\ \frac{5}{4} \cdot \sqrt{IC} & IC \gg 1. \end{cases} \quad (3.9)$$

μ est la mobilité des porteurs, U_T la tension thermodynamique et L_{min} la longueur effective minimale du transistor. En faible inversion, et pour des transistors de longueur effective de $0.5\mu m$, la fréquence de coupure intrinsèque des transistors NMOS atteint 4.4GHz (voir Fig. 3.4). Cette

fréquence est largement supérieure à celle de la bande ISM. C'est pour cette raison que les effets NQS peuvent être négligés en première approximation.

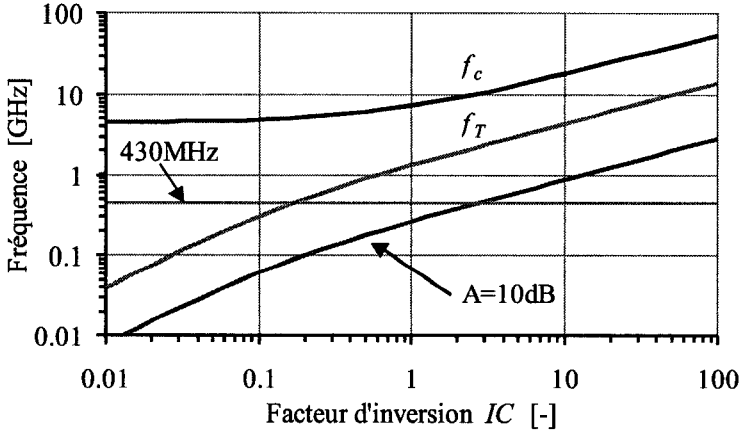


FIG. 3.4 – Fréquence de coupure du canal f_c , fréquence à gain unité f_T et fréquence maximale pour un gain en tension A de 10dB (Alcatel Mietec $0.5\mu\text{m}$).

3.4.2 Fréquence à gain unité, f_T

La fréquence à gain unité en courant f_T est obtenue lorsque le rapport en amplitude entre le courant de drain et le courant de grille est unitaire [42]. Elle peut être calculée approximativement par :

$$f_T \cong \frac{g_m}{2\pi \cdot C_{gg}} \cong \frac{\mu U_T}{\pi L_{\min}^2} \cdot \begin{cases} IC \cdot \frac{C_{ox}}{\frac{n-1}{n} + \frac{C_{ov}}{L_{\min}}} & IC \ll 1, \\ \frac{2}{3} + \frac{C_{ov}/L_{\min}}{C_{ox}} & IC \gg 1. \end{cases} \quad (3.10)$$

g_m représente la transconductance de grille et C_{gg} est la capacité totale vue depuis la grille [42], comprenant à la fois la capacité intrinsèque et extrinsèque de la grille. C_{ox} est la capacité surfacique de grille et C_{ov} la capacité par unité de largeur parasite d'overlap grille-drain, grille-source et grille-bulk du transistor.

Contrairement au calcul de la fréquence intrinsèque de coupure f_c , f_T n'est pas une constante en faible inversion. L'augmentation de la fréquence à gain unité f_T est proportionnelle à IC en faible inversion et proportionnelle à \sqrt{IC} en forte inversion (voir Fig. 3.4).

3.4.3 Fréquence maximale à gain en tension donné

f_T surestime la fréquence à laquelle le transistor peut travailler. En effet, les capacités parasites de jonction sur le drain du dispositif ne sont pas prises en compte. C'est pour cette raison que certains auteurs préfèrent utiliser f_{\max} [47]. Cette dernière est définie comme la fréquence à laquelle le courant capacitif est égal au courant basse fréquence dans un transistor monté en diode.

Finalement, la fréquence maximale de travail pour un gain en tension donné est la plus importante [41]. La Fig. 3.4 décrit cette limite fréquentielle simulée en fonction du facteur d'inversion pour un gain en tension de 10dB.

3.5 Calcul du facteur d'inversion optimal

Cette section décrit une méthode de dimensionnement détaillée dans un rapport interne de l'EPFL [46]. Elle permet, en fonction de la fréquence de travail, du gain en tension nécessaire et de quelques valeurs technologiques, un calcul du facteur d'inversion optimal pour une consommation de courant minimale.

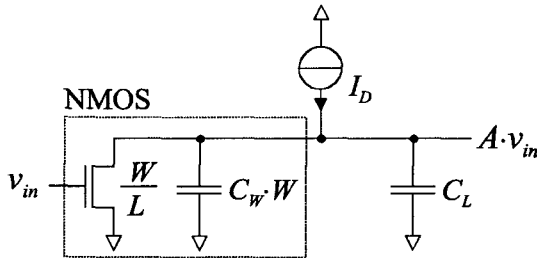


FIG. 3.5 – Schéma de principe d'un amplificateur à source commune.

3.5.1 Développement

Soit l'amplificateur à source commune de la Fig. 3.5. Si A représente le gain en tension désiré, ω la pulsation de travail et C_L la capacité de charge, on peut écrire :

$$A = \frac{g_m}{\omega \cdot C_{tot}} \quad (3.11)$$

$$C_{tot} = C_W \cdot W + C_L = C_L \cdot (1 + w) \quad (3.12)$$

$$\text{avec } w = \frac{W}{W_0} \quad \text{et} \quad W_0 = \frac{C_L}{C_W} \quad (3.13)$$

où g_m est la transconductance de grille, C_W la capacité de charge par unité de largeur propre au transistor d'amplification et W sa largeur. En admettant que le transistor soit saturé, la transconductance g_m est une fonction du courant de drain I_D et du facteur d'inversion IC .

$$g_m = \frac{I_D}{nU_T} \cdot g(IC) = 2 \cdot \mu C_{OX} \cdot \frac{W}{L} \cdot IC \cdot g(IC) \quad (3.14)$$

μ est la mobilité des porteurs, C_{OX} la capacité surfacique de grille, L est la longueur du dispositif et $g(IC)$ la transconductance normalisée. En admettant que $L = L_{min}$ et en utilisant les équations (3.11) et (3.14), on obtient :

$$w \cdot IC \cdot g(IC) = \Omega \cdot (1 + w) \quad (3.15)$$

$$\text{avec } \Omega = \frac{\omega \cdot A}{\omega_0} \quad \text{et} \quad \omega_0 = \frac{2 \cdot \mu C_{OX} \cdot U_T}{L_{min} \cdot C_W} \quad (3.16)$$

ω_0 est un facteur technologique indépendant de la fréquence. Ω est une fréquence de travail normalisée. L'équation (3.14) montre que le courant I_D est proportionnel à $IC \cdot w$ et à une constante technologique. A l'aide de (3.15), on obtient :

$$I_D \propto IC \cdot w = \frac{IC \cdot \Omega}{g(IC) \cdot IC - \Omega} \quad (3.17)$$

Minimiser la consommation de puissance est équivalent à minimiser I_D , donc le produit $IC \cdot w$. A l'aide de (3.17) on peut écrire :

$$\frac{d(IC \cdot w)}{dIC} = -\Omega \cdot \frac{IC^2 \cdot g'(IC) + \Omega}{(g(IC) \cdot IC - \Omega)^2} \quad (3.18)$$

Le facteur d'inversion optimal IC_{opt} est minimal lorsque le terme de droite de l'équation ci-dessus s'annule. Dans ce cas, IC_{opt} est lié à la fréquence de travail normalisée Ω selon l'équation suivante :

$$IC_{opt}^2 \cdot g'(IC_{opt}) + \Omega = 0 \quad (3.19)$$

3.5.2 Résultats

Le facteur d'inversion optimal IC_{opt} , la largeur normalisée w_{opt} et le courant de polarisation optimal $I_{D,opt}$ peuvent être calculés à l'aide de l'expression de $g(IC) = 2/(1 + 4\sqrt{1 + 4 \cdot IC})$ selon les expressions suivantes :

$$IC_{opt} = \left(\sqrt{\Omega \cdot (\Omega + 1)} + \Omega + \frac{1}{2} \right)^2 - \frac{1}{4} \quad (3.20)$$

$$w_{opt} = \sqrt{\frac{\Omega}{1 + \Omega}} \quad (3.21)$$

$$I_{D,opt} = \omega_0 \cdot C_L \cdot nU_T \cdot w_{opt} \cdot IC_{opt} \quad (3.22)$$

Notons que le facteur d'inversion optimal IC_{opt} , et la largeur normalisée du dispositif w_{opt} dépendent de la fréquence normalisée Ω , laquelle est indépendante de la capacité de charge C_L . Ω est proportionnelle au facteur technologique $C_W \cdot L_{min}/C_{OX}$. Ce dernier est un facteur de mérite important lors de l'utilisation d'une technologie MOS. En effet, plus ce facteur est petit et plus la consommation est réduite.

La Fig. 3.6 décrit l'évolution du facteur d'inversion IC_{opt} , de la largeur normalisée w_{opt} ainsi que du produit $IC_{opt} \cdot w_{opt}$. Ce produit est intéressant car il définit à une constante près la consommation du courant $I_{D,opt}$ (voir Equ. 3.22).

3.5.3 Asymptotes

Dans le développement ci-dessus, deux cas asymptotiques sont intéressants :

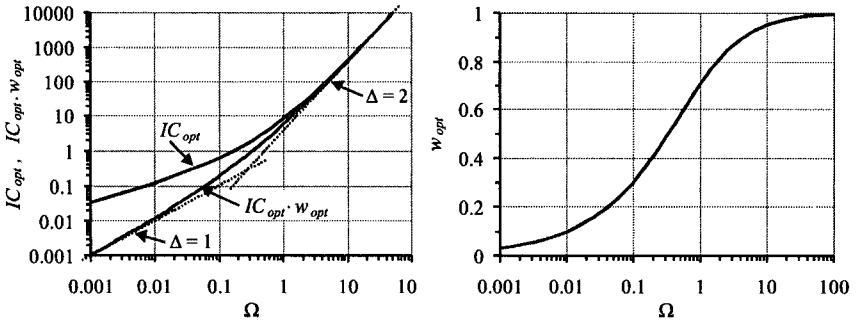


FIG. 3.6 – Evolution de IC_{opt} , w_{opt} et du produit $IC_{opt} \cdot w_{opt}$ en fonction de la fréquence normalisée Ω .

1. Pour des valeurs de fréquence normalisée $\Omega \ll 1$, le transistor est polarisé à son maximum de g_m/I_D , c'est-à-dire en faible inversion. La charge capacitive totale C_{tot} est dominée par la capacité de charge C_L , car $w_{opt} \rightarrow 0$. Le courant de polarisation $I_{D,opt}$ est calculé approximativement par la relation suivante :

$$\begin{aligned}
 I_{D,opt} &\cong \omega_0 \cdot C_L \cdot nU_T \cdot \Omega \quad \text{rappel} \quad \Omega = \frac{\omega \cdot A}{\omega_0} \\
 &\cong \omega \cdot C_L \cdot nU_T \cdot A
 \end{aligned} \tag{3.23}$$

Le courant consommé est proportionnel à la pulsation de travail ω , au gain en tension A et à la charge capacitive C_L . Le facteur technologique ω_0 n'intervient pas dans ces résultats et l'optimal n'est pas critique. En effet, pour $\Omega \leq 0.1$, la charge capacitive du transistor intervient faiblement ($w_{opt} \leq 0.3$) et la perte de transconductance de $g(IC)$ est inférieure à 10% de son maximum en faible inversion.

2. Dans le cas contraire, $\Omega \gg 1$ et le transistor est polarisé en forte inversion ($IC \gg 1$). La charge capacitive est répartie de façon identique entre la capacité de charge C_L et la capacité parasite du transistor $W \cdot C_W$ ($w_{opt} \rightarrow 1$). Le courant de polarisation optimal s'écrit alors,

$$\begin{aligned}
I_{D,opt} &\cong \omega_0 \cdot C_L \cdot nU_T \cdot 4\Omega^2 \\
&= 4 \cdot \frac{\omega^2}{\omega_0} \cdot C_L \cdot nU_T \cdot A
\end{aligned} \tag{3.24}$$

Le courant de drain $I_{D,opt}$ est cette fois proportionnel à la pulsation de travail ω^2 , mais inversement proportionnel au facteur technologique ω_0 . La dépendance de la capacité de charge C_L et du gain en tension A reste identique au cas précédent. Pour terminer, le facteur d'inversion optimal IC_{opt} croît proportionnellement à Ω^2 . En rappelant qu'en forte inversion $(V_P - V_S)/U_T \cong 2\sqrt{IC}$ (voir Equ. 3.6), $V_P - V_S$ est donc proportionnel à Ω .

3.5.4 Synthèse

En technologie Alcatel-Mietec CMOS $0.5\mu\text{m}$, C_W vaut environ $1\text{fF}/\mu\text{m}$, $L_{\min} = 0.5\mu\text{m}$ et $\mu \cong 46 \cdot 10^{-3}\text{m}^2/(\text{V}\cdot\text{s})$, la pulsation normalisée $\omega_0/(2\pi) \cong 2.5\text{GHz}$. Pour un gain en tension de 12dB ($A = 4$) et une fréquence de travail $f = 450\text{MHz}$, le facteur normalisé Ω vaut 0.713 , $IC_{opt} \cong 5$, $w_{opt} \cong 0.64$ et $IC_{opt} \cdot w_{opt} \cong 3.3$. La consommation d'un tel circuit pour une charge capacitive de 100fF est de $30\mu\text{A}$ (voir Equ. 3.22), soit 20 fois plus que la consommation nécessaire pour obtenir une dynamique libre d'interférence de 55dB (voir Equ. 3.5).

3.6 Conclusions

Dans ce chapitre, différentes limites technologiques sont décrites. L'utilisation de composants externes à haut facteur de qualité (Q de 20 à 40) et ses implications sur la consommation sont discutées. La diminution du coût en surface, la réduction des couplages parasites externes ainsi que la faible consommation due aux niveaux d'impédance élevés atteignables sur le circuit intégré sont des facteurs déterminants qui ont conduit à ne pas utiliser d'inductances externes dans les amplificateurs faible bruit et dans les pré-amplificateurs de puissance.

La troisième et la quatrième sections définissent deux figures de mérite qui permettent de comparer différentes technologies afin d'envisager leur utilisation sous une très faible tension d'alimentation (V_{DSSat}) et pour des densités de courant réduites (ω_0). Une diminution de la tension de seuil V_{T0} ,

de la longueur minimale du dispositif L_{\min} ainsi que de sa capacité de charge par unité de largeur C_W permettent une réduction de la consommation.

Les consommations de courant liées à la dynamique libre d'interférence ainsi que celles dues à la fréquence de travail (RF) sont calculées. Si la première est dépendante de la largeur de bande B mais indépendante de la fréquence de la porteuse (3.5), la seconde est directement liée à la fréquence de la porteuse (3.22). En inversion modérée et en forte inversion ($IC \geq 1$), la consommation augmente proportionnellement au carré de la fréquence (voir Fig. 3.6).

En technologie $0.5\mu\text{m}$ pour une dynamique libre d'interférence de 55dB et à une fréquence de 430MHz, la consommation des noeuds haute fréquence est donc liée à la pulsation de travail, mais pas à la dynamique nécessaire. La consommation des étages amplificateur-mélangeur est donc dictée par le gain en tension nécessaire plutôt que par leur dynamique libre d'interférence (SFDR).

Chapitre 4

Analyse des sources de bruit dans les mélangeurs

Dans le but de diminuer la consommation en courant d'un récepteur, la conversion directe ou quasi directe des signaux haute fréquence en bande de base sont les solutions les plus courantes et les plus efficaces [3],[4] (voir chapitre 2). Cependant, le rapport signal-sur-bruit obtenu peut être dégradé par le bruit $1/f$ intrinsèque des transistors MOS. Le but de cette section est de déterminer, dans la chaîne de réception, les sources de bruit $1/f$ qui en dégradent la sensibilité.

Une étude analytique grands signaux de l'élément le plus critique de cette chaîne, à savoir le mélangeur, permettra de calculer les contraintes liant la consommation, la surface des éléments et la sensibilité du récepteur. Le gain de conversion, le bruit $1/f$ en sortie du mélangeur ainsi que les effets du pôle interne seront discutés. Cette démarche a été validée par des mesures sur un circuit intégré dans une technologie digitale CMOS $0.5\mu\text{m}$ [48].

4.1 Source de bruit des transistors MOS

Chaque dispositif semi-conducteur MOS traversé par un courant génère un bruit lié principalement à deux effets :

1. Un bruit blanc S_{th} , dont la densité spectrale est constante sur toute la largeur de bande du dispositif. Cette densité spectrale a pour origine un bruit thermique "thermal noise" ou un bruit de grenaille "shot

noise". Notons que la notion de bruit thermique est liée aux chocs subits par les porteurs tandis que la notion de bruit de grenaille est associée au flux de porteurs traversant une barrière de potentiel. Il est intéressant de noter que lors du calcul de cette densité de courant en faible inversion, une équivalence parfaite existe entre les deux approches (voir [49] pp. 420-422).

2. Un bruit $1/f$ généré par les fluctuations de la densité des charges du canal. Ces dernières sont piégées dans des centres profonds de l'oxyde par effet tunnel et d'interface rapide. Sa densité spectrale $S_{1/f}$ décroît avec la fréquence, d'où sa dénomination [49].

4.1.1 Modélisation du bruit des transistors

Les sources de bruit intrinsèque du transistor CMOS sont modélisées par une source de courant S_{th} et une source de tension $S_{1/f}$ (voir Fig. 4.1). Citons particulièrement Enz, Krummenacher et Vittoz [50][51] qui développent un modèle continu du bruit petits signaux du transistor valable de la faible à la forte inversion ainsi que de la conduction à la saturation. Pour de plus amples renseignements sur ce modèle de bruit, on peut se référer au document suivant [52][53].

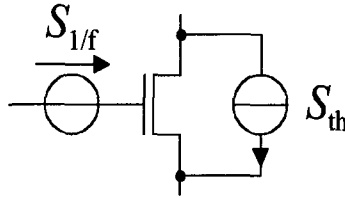


FIG. 4.1 – Sources de bruit d'un transistor MOS.

Dans la suite de l'analyse, le modèle du transistor en saturation est utilisé. Dans ce cas particulier, le facteur d'inversion est égal au courant direct normalisé ($IC = i_f$), tandis que le courant inverse est considéré comme nul ($i_r \ll i_f$). Ce qui permet d'écrire, en 1ère approximation pour des transistors à canaux longs :

1. Le facteur d'inversion IC et la transconductance normalisée $g(IC)$:

$$IC = \frac{I_D}{I_S} \quad \text{avec} \quad I_S = 2n\mu C_{OX} \cdot \frac{W_{eff}}{L_{eff}} \cdot U_T^2 \quad (4.1)$$

$$g(IC) = g_{ms} \cdot \frac{U_T}{I_D} = n \cdot g_m \cdot \frac{U_T}{I_D} = \frac{2}{1 + \sqrt{1 + 4 \cdot IC}} \quad (4.2)$$

2. La densité spectrale de bruit blanc en courant, dont le facteur ξ varie entre 1/2 en faible inversion ($IC \ll 1$) et 2/3 en forte inversion ($IC \gg 1$) :

$$S_{th} = 4kT \cdot \xi(IC) \cdot g_{ms} \quad \left[\frac{A^2}{Hz} \right] \quad (4.3)$$

3. La densité spectrale de bruit 1/f en tension, indépendante du point de polarisation [49] :

$$S_{1/f} = \frac{KF}{W_{eff} \cdot L_{eff} \cdot C_{OX} \cdot f^{AF}} \quad \left[\frac{V^2}{Hz} \right] \quad (4.4)$$

g_{ms} et g_m définissent respectivement les transconductances de source et de grille, elles sont liées par le facteur de pente n [49] et dépendent du courant de drain I_D , du facteur d'inversion IC ainsi que de la tension thermodynamique ($U_T \cong 26mV$ à température ambiante). C_{OX} représente la capacité surfacique d'oxyde de grille, μ la mobilité des porteurs, k la constante de Boltzman et T la température absolue en °Kelvin, le produit kT valant $U_T/q \cong 4E^{-21}$ à température ambiante. KF est une constante technologique et $AF \approx 1$ l'exposant de décroissance du bruit 1/f. W_{eff} et L_{eff} définissent des grandeurs géométriques, soit respectivement la largeur et la longueur effective du transistor.

A l'aide des équations (4.2) à (4.4), il est possible de calculer la fréquence petits signaux f_c^{AF} à laquelle les contributions du bruit 1/f et du bruit blanc sont égales [31]. f_c^{AF} est évaluée en sortie du transistor, c'est-à-dire sur son courant de drain.

$$f_c^{AF} = \frac{KF}{4kT \cdot \xi(IC)} \cdot \frac{4 \cdot IC}{1 + \sqrt{1 + 4 \cdot IC}} \cdot \frac{\mu \cdot U_T}{n \cdot L_{eff}^2} \quad [Hz] \quad (4.5)$$

Le courant de polarisation n'intervient pas dans cette relation, seules une diminution du facteur d'inversion et une augmentation de la longueur du transistor permettent de réduire cette fréquence. En bande de base, f_c^{AF} peut être réduite en diminuant le facteur d'inversion et en augmentant la longueur du transistor. Au contraire, en haute fréquence, pour des blocs tels que les mélangeurs, les amplificateurs faible bruit ou les oscillateurs

locaux, le facteur d'inversion doit être relativement important et la longueur minimale (voir limites en fréquences) [31]. Dans le cas d'un transistor N, pour une technologie $0.5\mu\text{m}$ et pour un facteur d'inversion proche de 10, la fréquence de coupure du bruit $1/f$ est aussi élevée que $f_c \cong 2\text{MHz}$ ($AF=1$, $n=1.2$ et $KF \cong 1.6E^{-24}$). Pour des technologies plus fines, cette fréquence peut atteindre 10MHz (voir [33]). Il est donc évident que la figure de bruit ainsi que la sensibilité de systèmes à fréquence intermédiaire basse, de l'ordre de 100kHz à 1MHz , peuvent être affectées. Le facteur Γ , défini ci-dessous, permet d'évaluer l'effet du bruit $1/f$ en comparaison du bruit blanc dans une bande de fréquences comprises entre f_1 et f_2 . Ce facteur de bruit normalisé s'écrit à l'aide de l'équation (4.5) de la manière suivante :

$$\Gamma = \frac{\int_{f_1}^{f_2} (S_{th} + S_{1/f} \cdot g_m^2) \cdot df}{\int_{f_1}^{f_2} S_{th} \cdot df} \quad (4.6)$$

$$= \begin{cases} 1 + \frac{f_c}{f_1} \cdot \frac{1}{\frac{f_2}{f_1} - 1} \ln \left(\frac{f_2}{f_1} \right) & AF = 1 \\ 1 + \frac{1}{AF-1} \cdot \left[\left(\frac{f_c}{f_1} \right)^{AF} \cdot \frac{f_1}{f_2-f_1} - \left(\frac{f_c}{f_2} \right)^{AF} \cdot \frac{f_2}{f_2-f_1} \right] & AF \neq 1 \end{cases} \quad (4.7)$$

Il est évident que Γ est minimal et vaut 1 lorsque le bruit $1/f$ est négligeable dans la bande de fréquence considérée.

4.1.2 Limitations d'une étude petits signaux dans un système autonome

Par définition, lorsque le temps n'intervient pas explicitement dans le système d'équations, on dit qu'il est autonome. Dans le cas contraire, c'est un système non autonome ([54] p.16).

Pour toute étude de bruit en petits signaux, on peut facilement calculer les fonctions de transfert, puis ramener les différentes sources de bruit à un point donné du circuit. Cette étude peut se faire de manière théorique simple ou à l'aide de simulateurs qui possèdent tous une implémentation AC selon les modèles du transistor MOS. Cependant, la grande limitation de ce type d'analyse est l'impossibilité de tenir compte, par exemple dans un mélangeur :

1. des repliements spectraux du bruit, plus particulièrement le bruit du signal d'entrée ou celui propre aux transistors du mélangeur,
2. des transpositions de fréquence du signal et des gains associés,
3. de l'évolution des gains et des contributions de bruit en fonction de l'amplitude du signal modulant qui provient d'un oscillateur local (LO).

4.2 Bruit dans les systèmes non autonomes

Une étude concernant les systèmes linéaires variant dans le temps et le bruit dans les mixers, a été réalisée par Christopher D. Hull and Robert G. Meyer [55]. Cette méthode de calcul a été développée pour être utilisée à l'aide de simulateurs. Le but des paragraphes ci-dessous est de simplifier ces hypothèses afin de calculer de manière analytique les principaux phénomènes d'un système linéaire variant dans le temps et plus particulièrement un mélangeur transposant le signal à plus basse fréquence.

4.2.1 Système linéaire variant dans le temps

Déterminons le gain instantané en petits signaux, que ce soit pour le bruit ou pour le signal lui-même, dans un système non autonome. $\delta x(t)$ et $\delta y(t)$ sont respectivement les signaux d'entrée et de sortie du système (voir Fig. 4.2).

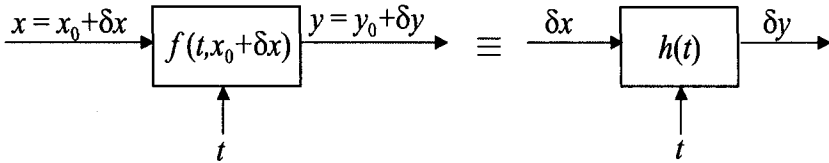


FIG. 4.2 – Système non linéaire défini par sa fonction $f(t, x)$ et système équivalent linéarisé pour δx petit.

$f(t, x)$ représente la fonction non linéaire du système qui dépend du temps t . En première approximation, cette fonction peut être linéarisée pour obtenir le gain instantané petits signaux $h(t)$ qui dépend du point de repos x_0 .

$$f(t, x_0 + \delta x) \cong f(t, x_0) + \underbrace{\frac{\partial f(t, x)}{\partial x} \Big|_{x=x_0}}_{h(t)} \cdot \delta x(t) \quad (4.8)$$

$$\delta y(t) = h(t) \cdot \delta x(t) \quad (4.9)$$

La principale hypothèse cachée derrière ce formalisme est que le système est supposé sans mémoire. Par exemple, le temps de réponse du canal d'un transistor ou le pôle interne ne sont pas pris en compte. Il est également intéressant de noter que ce formalisme ne fait pas apparaître le signal modulant $m(t)$ appliqué par l'oscillateur local au mélangeur, ce signal étant implicitement contenu dans la modulation du gain $h(t)$. Dans un système à plusieurs entrées, les gains instantanés en petits signaux $h(t)$ seraient différents pour chacune d'elles.

Dans le cas d'un mélangeur, le signal modulant $m(t)$ est périodique de pulsation ω_{LO} . La fonction non-linéaire et son approximation $h(t)$ le sont donc également. On peut écrire à l'aide des séries de Fourier :

$$Y(\omega_{IF}) = \sum_{n=-\infty}^{\infty} H_n \cdot X(\omega_{IF} + n \cdot \omega_{LO}) \quad (4.10)$$

$$\text{avec } H_n = \frac{1}{T} \int_0^T h(t) \cdot \exp(jn\omega_{LO}t) \cdot dt \quad (4.11)$$

Où H_n est la transformée de Fourier d'ordre n de la fonction de transfert petits signaux $h(t)$ et $Y(\omega_{IF})$ la série de Fourier du signal de sortie.

4.2.2 Exemple

Citons en exemple la fonction \tanh qui permet de mieux appréhender les principes cités ci-dessus. $f(t, x)$ représente la fonction non-linéaire du système, $m(t) = 2 \sin(\omega t)$ est le signal modulant variant dans le temps, tandis que δx est l'entrée petits signaux. Dans ce cas, le gain instantané petits signaux $h(t) = f'(t)$ est également calculable. La figure 4.3 permet de visualiser, dans ce cas particulier, les fonctions de transfert $f(t)$ et $h(t)$:

$$\begin{aligned}
 f(t, \delta x) &= \tanh(m(t) + \delta x) \\
 &\cong \tanh(m(t)) \\
 h(t) &= 1 - \tanh^2(m(t))
 \end{aligned}$$

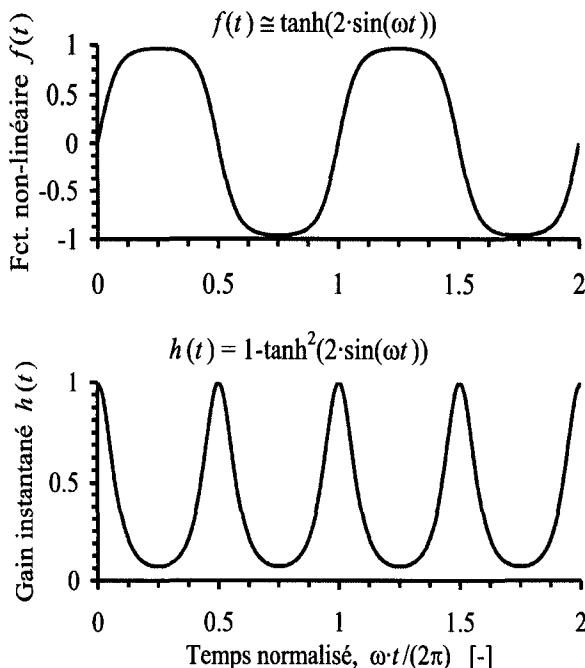


FIG. 4.3 – Fonction non-linéaire $f(t)$ et gain instantané $h(t)$ pour δx petit.

4.2.3 Excitation par une source de bruit blanc stationnaire

Lorsqu'un signal aléatoire stationnaire (c'est à dire sans corrélation entre ses composantes spectrales) est appliqué à une des entrées du système, sa densité spectrale en sortie $S_Y(\omega_{IF})$ peut être calculée à l'aide de l'équation

(4.10). Si, de plus, cette source a une densité spectrale de bruit blanc, on peut appliquer le théorème de Parseval afin d'obtenir la densité spectrale de bruit blanc en sortie S_{Y_o} :

$$S_Y(\omega_{IF}) = \sum_{n=-\infty}^{\infty} |H_n|^2 \cdot S_X(\omega_{IF} + n \cdot \omega_{LO}) \quad (4.12)$$

$$S_{Y_o} = S_{X_o} \cdot \frac{1}{T} \int_0^T h^2(t) \cdot dt \quad (4.13)$$

La densité spectrale S_{Y_o} n'est plus stationnaire mais cyclo-stationnaire. Cela est dû au fait qu'une composante de bruit $S_X(\omega)$ à la fréquence ω est multipliée par les différents gains $|H_n|^2$ et se retrouve en $S_Y(\omega - n \cdot \omega_{LO})$. Une seconde fonction de transfert non linéaire appliquée à ce premier spectre imposerait donc une addition vectorielle, non plus énergétique, des densités spectrales de bruit aux différentes fréquences. Cependant, dans la plupart des applications, un filtre passe-bas limite la largeur de bande du signal de sortie ($B \ll f_{LO}$) et les cyclo-stationnarités du signal peuvent être négligées.

4.2.4 Excitation par une source de bruit non stationnaire

Comme le courant $I_D(t)$ traversant le transistor d'un système variant dans le temps n'est pas constant, la source de bruit du transistor de hachage devient elle aussi cyclo-stationnaire. L'effet de cyclo-stationnarité de la source de bruit se combine à sa réponse impulsionnelle petits signaux $h(t)$ et modifie la fonction de transfert $h_n(t)$ du bruit. En supposant que la densité spectrale de bruit blanc dans un transistor est proportionnelle à la transconductance de source instantanée (voir équations 4.2 et 4.3) et après avoir calculé la fonction de transfert $h(t)$ entre la source de bruit et la variable de sortie, on peut écrire :

$$h_n(t) = h(t) \cdot \sqrt{\frac{\xi(IC(t))}{\xi(IC_o)} \cdot \frac{g_{ms}(t)}{g_{mso}}} \quad \text{avec} \quad g_{mso} = \frac{I_{D_o}}{U_T} \cdot g(IC_o) \quad (4.14)$$

$$S_{Y_o} = S_{th} \cdot \frac{1}{T} \int_0^T h^2(t) \cdot \frac{\xi(IC(t))}{\xi(IC_o)} \cdot \frac{g_{ms}(t)}{g_{mso}} \cdot dt \quad (4.15)$$

$S_{th} = 4kT \cdot \xi(IC_o) \cdot g_{mso}$ étant la densité spectrale de courant de bruit calculée au point de repos, soit pour un courant de drain I_{D_o} et un facteur d'inversion IC_o . Avec, en faible et en forte inversion :

$$g_{ms}(t) = \begin{cases} \frac{1}{U_T} \cdot I_D(t) & \text{en faible inversion,} \\ \frac{\sqrt{I_S}}{U_T} \cdot \sqrt{I_D(t)} & \text{en forte inversion.} \end{cases} \quad (4.16)$$

4.3 Effets non-linéaires dans un mélangeur

Le mélangeur étant le bloc à l'interface de la haute et de la basse fréquence, il est évident qu'une analyse détaillée de ses différentes contributions de bruit ainsi que des bruits présents à ses ports d'entrée permettra de comprendre les principales limitations d'une chaîne de réception en conversion directe.

M. T. Terrovitis et R. G. Meyer [56] ont plus particulièrement analysé les effets liés au bruit blanc dans un mélangeur en forte inversion, en tenant compte de la saturation de mobilité verticale. H. Darabi et Asad A. Abidi [57] ont concentré leurs efforts sur un mélangeur fortement commuté. L'analyse présentée dans cette section permet, à l'aide d'un formalisme relativement simple, de comprendre l'évolution des différentes contributions de bruit en fonction du facteur d'inversion (de faible à forte) ainsi que de l'amplitude du signal modulant (LO).

4.3.1 Hypothèses

Une étude complète du bruit et des différents gains de translation dans une paire différentielle (voir Fig. 4.4) est présentée. Ce montage simple permet une analyse approfondie de la plupart des mixers utilisés en circuit intégré. Citons, par exemple, la cellule de Gilbert, qui est un de ses dérivés les plus classique. Les principales hypothèses sont :

1. La paire différentielle est composée de deux transistors M_1 et M_2 parfaitement appariés et saturés. Les effets de second ordre, tels que la réduction de mobilité, sont négligés.
2. Les calculs algébriques sont réalisés pour des transistors en faible ou en forte inversion. En inversion modérée, le modèle continu simplifié est utilisé pour les calculs numériques [45].

$$F(IC) = \frac{V_P - V_S}{2U_T} = \ln \left(\exp \sqrt{IC} - 1 \right) \quad (4.17)$$

3. Le courant de polarisation I_q est modulé. Il est considéré comme l'entrée petits signaux (RF), tandis que le signal appliqué sur les grilles des transistors représente l'entrée de l'oscillateur local (LO).
4. La tension de bruit et l'offset sont considérés comme signaux d'entrée. $V_{in} = V_{Noise} + V_{Offset}$ est petit comparé à la tension thermodynamique U_T .
5. Pour diminuer le bruit de phase du synthétiseur de fréquence, le VCO est dans la plupart des cas un oscillateur LC. Dans ce cas, la tension disponible à ses bornes est quasiment sinusoïdale.
6. La constante de temps intrinsèque du dispositif est supposée négligeable, ce qui équivaut à négliger les effets non quasi-statiques du transistor [58].
7. Dans un premier temps, le pôle d'entrée chargé par la capacité C est négligé. Le cas particulier où ce pôle n'est pas négligeable est étudié au paragraphe 4.3.9.

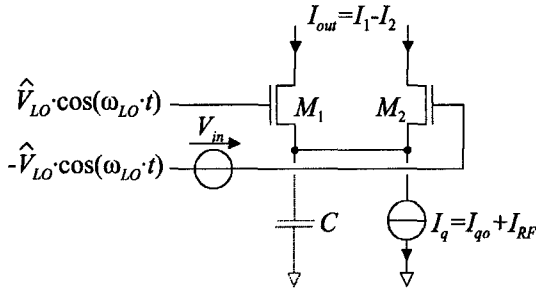


FIG. 4.4 – Définitions des variables de la paire différentielle.

4.3.2 Fonction de transfert

Avec ces hypothèses, le courant de sortie normalisé de la paire différentielle peut s'écrire :

$$i_{out} = i \cdot f(u, i) \quad \text{avec} \quad f(u, i) \equiv \frac{I_{out}(t)}{I_{q0} + I_{RF}(t)} \quad (4.18)$$

avec, comme définitions,

$$i_{out} = \frac{I_{out}(t)}{2I_S} \quad (4.19)$$

$$i_{RF} = \frac{I_{RF}(t)}{2I_S} \quad (4.20)$$

$$IC = \frac{I_{qo}}{2I_S} \quad (4.21)$$

$$i = IC + i_{RF} \quad (4.22)$$

$$\begin{aligned} u(t) &= \frac{V_{LO}(t)}{nU_T} = \frac{\hat{V}_{LO}}{nU_T} \cdot \cos(\omega_{LO}t) \\ &= \hat{u}_{LO} \cdot \cos(\omega_{LO}t) \end{aligned} \quad (4.23)$$

i_{out} , i_{RF} et i sont des courants normalisés à deux fois le courant spécifique I_S d'un seul transistor dont le facteur d'inversion IC est calculé au point d'équilibre de la paire différentielle ($u = 0$). $f(u, i)$ est la fonction normalisée du gain en courant variant dans le temps de la paire différentielle. $u(t)$ représente la tension d'entrée unipolaire instantanée normalisée à nU_T et \hat{u}_{LO} sa valeur crête. ω_{LO} et $T_{LO} = 2\pi/\omega_{LO}$ représentent la pulsation et la période du signal de l'oscillateur local.

Le système à résoudre, pour calculer la fonction de transfert normalisée $f(u, i)$, dépend de la fonction d'interpolation du transistor 4.17 et des courants instantanés des transistors M_1 et M_2 de la paire différentielle. Ce qui permet d'écrire à l'aide du courant normalisé des transistors $i_{1,2} = I_{1,2}/(2I_S)$:

$$\begin{aligned} i &= i_1 + i_2 \\ i_{out} &= i_1 - i_2 \\ 2 \cdot u &= F(i_1) - F(i_2) \end{aligned}$$

En faible inversion, la fonction $f(u, i)$ est uniquement dépendante de u et donne la traditionnelle fonction de transfert en tangente hyperbolique :

$$f(u, i) = \tanh(u) \quad (4.24)$$

En forte inversion, et en faisant l'hypothèse que les transistors ne sont jamais

polarisés en inversion faible ou modérée, on obtient :

$$F(IC) = \begin{cases} \sqrt{IC} & V_P - V_S \geq 0 \\ 0 & V_P - V_S \leq 0 \end{cases} \quad (4.25)$$

$$f(u, i) = \begin{cases} \frac{u}{\sqrt{i}} \cdot \sqrt{1 - \frac{u^2}{4i}} & u^2 \leq 2i \\ \text{sign}(u) & u^2 \geq 2i \end{cases} \quad (4.26)$$

Il est intéressant de noter que lorsque $u \rightarrow 0$, la dérivée de la fonction normalisée $f(u, i)$ tend vers la transconductance normalisée d'un transistor unique qui est également celle de la paire différentielle.

$$\left. \frac{df(u, i)}{du} \right|_{u \rightarrow 0} = g(i)$$

4.3.3 Définition des gains de transposition

Le but de cette section est d'estimer une figure de bruit équivalente d'un mélangeur. Pour cette raison, le gain en courant $A_{RF,k}$, ainsi que le gain $G_{LO,0}$, seront calculés dans les prochaines sections. Le gain $A_{RF,k}$ (voir Fig. 4.5) est défini entre le signal d'entrée à la fréquence $\omega_{RF} = k \cdot \omega_{LO} + \Delta\omega$ et le courant de sortie en bande de base $\Delta\omega$. $A_{RF,1}$ évalue donc le gain de conversion pour un signal d'entrée dont la fréquence est proche de celle de l'oscillateur local, tandis que pour $A_{RF,k}$ ($k > 1$), le signal d'entrée est proche d'un multiple de la fondamentale générée par le LO. On a donc un mixer sous-harmonique. Avec une définition semblable, $G_{LO,k}$, est le gain entre l'entrée en tension grands signaux et le courant en bande de base. Plus particulièrement, $G_{LO,0}$ évalue le gain de conversion du bruit $1/f$ et des "mismatches".

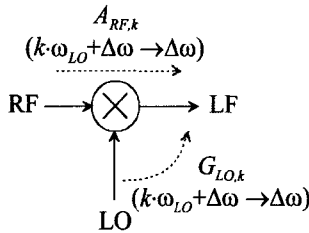


FIG. 4.5 – Définition des gains de conversions $A_{RF,k}$ et $G_{LO,k}$.

4.3.4 Gains de transposition de fréquence $A_{RF,k}$

Le signal d'entrée normalisé, i_{RF} étant considéré comme plus petit que le courant de polarisation normalisé IC , on peut, à l'aide d'une approximation de Taylor du premier ordre appliquée à la relation (4.18), calculer le gain en courant instantané :

$$i_{out} = \left(\frac{di_{out}}{di_{RF}} \right) \cdot i_{RF} \quad (4.27)$$

$$\frac{di_{out}}{di_{RF}} = \left[f(u, i) + i \cdot \frac{df(u, i)}{di} \right]_{i=IC} \quad (4.28)$$

Ce qui permet d'écrire en faible inversion :

$$\frac{di_{out}}{di_{RF}} = \tanh(u) \quad (4.29)$$

Et en forte inversion :

$$\frac{di_{out}}{di_{RF}} = \begin{cases} \frac{u}{\sqrt{4IC - u^2}} & u^2 \leq 2IC \\ \text{sign}(u) & u^2 \geq 2IC \end{cases} \quad (4.30)$$

Le gain de conversion $A_{RF,k}$ peut être calculé grâce à la valeur moyenne du signal de sortie pour un signal d'entrée $i_{RF} = \hat{i}_{RF} \cdot \cos(k\omega_{LO}t)$.

$$A_{RF,k} = \frac{\bar{i}_{out}}{\hat{i}_{RF}} = \frac{1}{T_{LO}} \cdot \int_{t=0}^{T_{LO}} \frac{di_{out}}{di_{RF}} \cdot \cos\left(\frac{2\pi k}{T_{LO}} \cdot t\right) \cdot dt \quad (4.31)$$

Gain de conversion $A_{RF,k}$ pour k paire

Les relations (4.29) et (4.30) étant impaires, les gains de conversion s'annulent pour k paire aussi longtemps que les erreurs d'appariements sont négligeables.

$$A_{RF,k} = 0 \quad \text{pour} \quad k = 0, 2, 4, 6, \dots$$

En particulier, le bruit $1/f$ présent à l'entrée du mélangeur est complètement supprimé. En effet, si la fréquence de hachage f_{LO} est plus élevée que la fréquence de coupure f_c du bruit $1/f$, celui-ci est transposé autour des multiples impairs de la fréquence de hachage et cela quelle que soit l'amplitude du LO. Le même constat s'applique pour les harmoniques paires du signal d'entrée. Toute distorsion d'ordre deux des étages précédant le mélangeur est donc rejetée.

Gain de conversion $A_{RF,1}$

Le gain de conversion à la fréquence de la fondamentale $A_{RF,1}$ peut être calculé numériquement en fonction du facteur d'inversion IC et de l'amplitude de l'oscillateur local \hat{u}_{LO} à l'aide de l'équation (4.31). Les résultats calculés ainsi que les mesures du gain en courant sont en parfaite adéquation, comme le montre la Fig. 4.6. Il existe deux asymptotes où des résultats analytiques sont calculables. Premièrement, le gain maximal lorsque la paire différentielle est utilisée comme un commutateur de courant :

$$A_{RF,1} = \frac{2}{\pi} \cong 0.64 \quad \text{pour} \quad \hat{u}_{LO}^2 \gg 1 + 2IC \quad (4.32)$$

Deuxièmement, pour des petites amplitudes de l'oscillateur local ($\hat{u}_{LO}^2 \ll 1 + 2IC$), le gain tend vers :

$$\begin{aligned} A_{RF,1} &= \frac{\hat{u}_{LO}}{2} \quad \text{en faible inversion} \\ A_{RF,1} &= \frac{\hat{u}_{LO}}{4\sqrt{IC}} \quad \text{en forte inversion} \end{aligned}$$

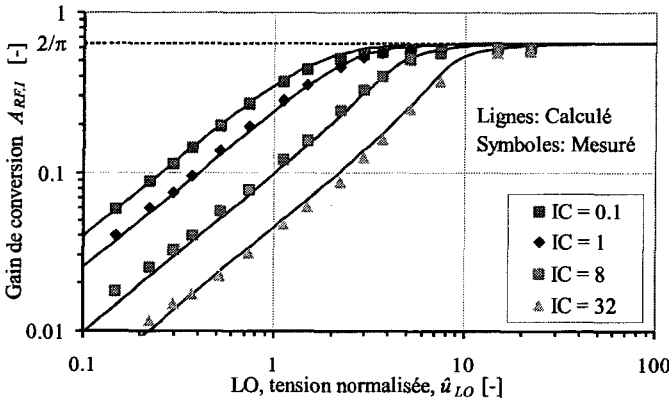


FIG. 4.6 – Gain en courant $A_{RF,1}$ pour une paire différentielle en fonction du facteur d'inversion IC et de la tension crête appliquée $\hat{u}_{LO} = \hat{V}_{LO}/(nU_T)$.

Gain de conversion $A_{RF,k}$ pour k impair

Le gain de conversion pour des harmoniques impaires ($k = 3, 5, 7, \dots$) peut également être calculé. Pour les faibles amplitudes de la tension normalisée \hat{u}_{LO} , le gain croît proportionnellement à \hat{u}_{LO}^k . Par contre, le gain maximal de la paire différentielle (pour $\hat{u}_{LO} \gg 1 + 2IC$) est identique à celui obtenu pour une multiplication par un signal carré. Il est inversement proportionnel à k :

$$A_{RF,k} = \begin{cases} \frac{2}{\pi k} & k = \pm 1, \pm 5, \dots \\ \frac{-2}{\pi k} & k = \pm 3, \pm 7, \dots \end{cases} \quad (4.33)$$

En forte inversion et pour certaines valeurs particulières de la tension d'entrée, le gain de conversion s'annule. En effet, le premier terme de la série de Taylor de l'équation (4.30) démontre que le gain $A_{RF,3}$ est de signe positif en petits signaux tandis qu'il est de signe inverse lorsque le courant est parfaitement commuté. Il existe donc un point où il s'annule (voir Fig. 4.7). Ce point vaut $\hat{u}_{LO} \cong 1.23 \cdot \sqrt{2IC}$ pour $A_{RF,3}$. Pour $A_{RF,5}$ il s'annule en deux points, en $\hat{u}_{LO} \cong 1.04 \cdot \sqrt{2IC}$ et en $\hat{u}_{LO} \cong 1.95 \cdot \sqrt{2IC}$.

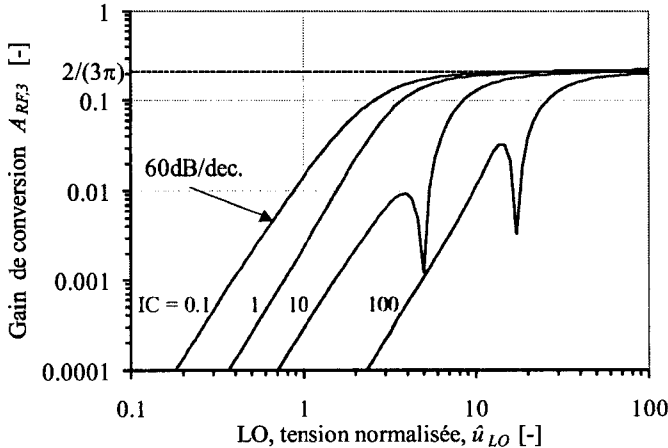


FIG. 4.7 – Gain en courant $A_{RF,3}$ pour une paire différentielle en fonction du facteur d'inversion IC et de la tension crête appliquée $\hat{u}_{LO} = \hat{V}_{LO}/(nU_T)$.

4.3.5 Repliement du bruit blanc de l'entrée RF

Lorsque la paire différentielle est parfaitement commutée, le bruit blanc, de densité spectrale S_{Iin} , présent sur l'entrée haute fréquence RF (entrée du courant de polarisation), est transposé en bande de base (S_{Iout}). Il est intéressant de distinguer deux cas :

- Premièrement, la bande passante du signal d'entrée est limitée à la fréquence du signal RF par le pôle interne de la paire différentielle. Dans cette configuration, seuls les gains en courant $A_{RF,0}$, $A_{RF,1}$ et $A_{RF,-1}$ ne s'annulent pas. On peut donc écrire, en rappelant que $A_{RF,0} = 0$ et $A_{RF,1} = A_{RF,-1} = 2/\pi$ et à l'aide de l'équation (4.12) :

$$\frac{S_{Iout}}{S_{Iin}} = 2 \cdot \left(\frac{2}{\pi}\right)^2 \cong 0.81 \quad (4.34)$$

Le gain $A_{RF,-1}$ prend en compte la transposition du bruit de la fréquence image. Un filtre coupe bande peut, dans le meilleur des cas, annuler le bruit à cette fréquence. Dans ce cas, la densité spectrale de sortie vaut $S_{Iout} = S_{Iin} \cdot (2/\pi)^2 \cong 0.405$. Cependant, ce cas théorique ne se réalise jamais, le bruit de la source I_q de la paire différentielle ne pouvant être totalement supprimé.

- Deuxièmement, la bande passante du signal d'entrée est nettement plus importante que la fréquence du signal utile (le pôle d'entrée de la paire différentielle est négligeable). Dans ce cas, le théorème de Parseval peut être appliqué et on obtient à l'aide des équations (4.13) et (4.31) :

$$\frac{S_{Iout}}{S_{Iin}} = \frac{1}{T_{LO}} \int_0^{T_{LO}} \left(\frac{di_{out}}{di_{RF}} \right)^2 \cdot dt \quad (4.35)$$

$$\cong \frac{1}{T_{LO}} \int_0^{T_{LO}} \text{sign}^2(u) \cdot dt = 1 \quad (4.36)$$

Un filtre coupe-bande n'est pas une bonne solution d'un point de vue de consommation, asservissement de sa fréquence de travail (voir section sur les types de charges) et réjection du bruit 1/f (voir section 4.3.6). Il convient donc de supposer, pour calculer le bruit total du mélangeur, que $S_{Iout} \cong S_{Iin}$.

4.3.6 Gain de conversion $G_{LO,k}$

La transconductance $G_{LO,k}$ est définie entre une tension unipolaire V_{in} appliquée sur la grille des transistors du mélangeur dont la pulsation ω_{in}

est proche d'un multiple de celle du LO ($\omega_{in} = k \cdot \omega_{LO} + \Delta\omega$) et sa sortie en courant I_{out} en bande de base ($\Delta\omega$). Le courant de sortie peut être calculé à l'aide d'une série de Taylor du premier ordre appliquée à la relation (4.18). Ensuite, par une démarche similaire à celle utilisée pour le calcul de $A_{RF,k}$:

$$G_{LO,k} = \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} \frac{dI_{out}}{dV_{in}} \cdot \cos\left(\frac{2\pi k}{T_{LO}} \cdot t\right) \cdot dt \quad (4.37)$$

$$= \frac{I_q}{2nU_T} \cdot \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} \frac{df(u, IC)}{du} \cdot \cos\left(\frac{2\pi k}{T_{LO}} \cdot t\right) \cdot dt \quad (4.38)$$

Gain de conversion $G_{LO,k}$ pour k impair

La fonction df/du est impaire et sa pulsation fondamentale est un multiple de $2k$ (voir Fig. 4.3). Les gains de conversion s'annulent donc pour k impair aussi longtemps que les erreurs d'appariement sont négligeables.

$$G_{LO,k} = 0 \quad \text{pour} \quad k = 1, 3, 5, \dots$$

Gain de conversion $G_{LO,0}$

La fonction G_0 représente le gain d'un signal dont la fréquence est proche du DC (par exemple, le bruit $1/f$ ou la tension d'offset des transistors du mélangeur). Ce gain est fonction du facteur d'inversion IC et de la tension crête de l'oscillateur local :

$$G_{LO,0} = \frac{I_q}{2nU_T} \cdot \underbrace{\frac{1}{T_{LO}} \cdot \int_{t=0}^{T_{LO}} \frac{df(u, IC)}{du} \cdot dt}_{G_0} \quad (4.39)$$

Malheureusement, le gain normalisé G_0 n'a pas d'expression analytique en faible inversion ainsi qu'en inversion modérée. Dans le cas d'une tension sinusoïdale appliquée par l'oscillateur local, ce problème peut être contourné en remplaçant le signal sinusoïdal par un signal triangulaire de pente identique à celle du signal sinusoïdal lors des passages par zéro. Cette approximation, qui n'est pas équivalente à une linéarisation de la fonction de transfert autour du point de fonctionnement [56] [57], offre l'avantage de simplifier le calcul du gain G_0 . La Fig. 4.8 décrit les fonctions de transfert grands et petits signaux pour une paire différentielle en faible inversion. La solution exacte,

celle réalisée en utilisant un signal triangulaire dans la fonction de transfert non-linéaire (Approx.) et celle utilisant un signal triangulaire dans une fonction de transfert linéaire par morceau (Darabi [57]), sont représentées.

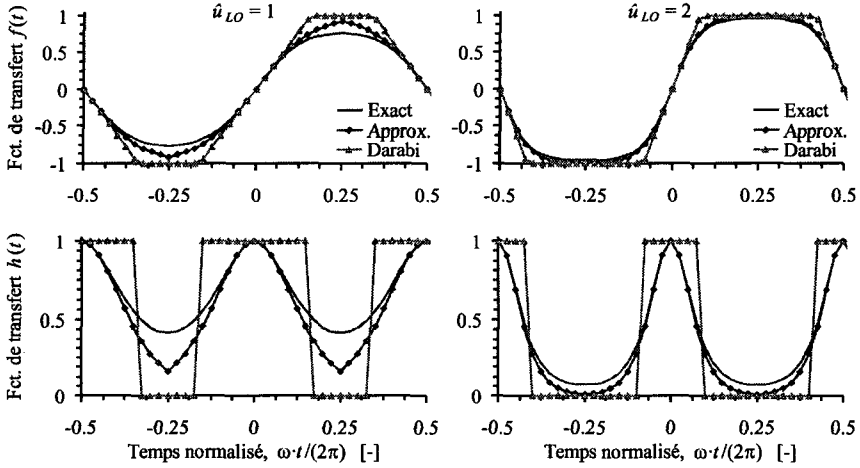


FIG. 4.8 – Approximation de la fonction de transfert grands signaux $f(t)$ et petits signaux $h(t)$ pour $\hat{u}_{LO} = 1$ et pour $\hat{u}_{LO} = 2$.

L'approximation du signal sinusoïdal par un signal triangulaire s'écrit :

$$u(t) \cong \hat{u}_{LO} \cdot \frac{2\pi}{T_{LO}} \cdot t \quad \text{pour } |t| \leq \frac{T_{LO}}{4} \quad (4.40)$$

ce qui permet d'effectuer le changement de variable suivant :

$$du(t) \cong \hat{u}_{LO} \cdot \frac{2\pi}{T_{LO}} \cdot dt \quad \text{pour } |t| \leq \frac{T_{LO}}{4} \quad (4.41)$$

Appliquée à l'équation (4.39), cette approximation donne pour G_0 :

$$\begin{aligned}
G_0 &= \frac{4}{T_{LO}} \cdot \int_{t=0}^{T_{LO}/4} \frac{df(u, IC)}{du} \cdot dt \\
&= \frac{2}{\hat{u}_{LO} \cdot \pi} \int_{t=0}^{T_{LO}/4} df(u, IC) \\
&= \frac{2}{\hat{u}_{LO} \cdot \pi} \cdot f\left(\frac{\hat{u}_{LO} \cdot \pi}{2}\right)
\end{aligned} \tag{4.42}$$

qui devient, en faible inversion, puis en forte inversion :

$$G_0 = \frac{2}{\hat{u}_{LO} \cdot \pi} \cdot \tanh\left(\frac{\hat{u}_{LO} \cdot \pi}{2}\right) \tag{4.43}$$

$$G_0 = \begin{cases} \frac{1}{\sqrt{IC}} \sqrt{1 - \frac{1}{IC} \left(\frac{\hat{u}_{LO} \cdot \pi}{4}\right)^2} & \left(\frac{\hat{u}_{LO} \cdot \pi}{2}\right)^2 \leq 2IC \\ \frac{2}{\hat{u}_{LO} \cdot \pi} & \left(\frac{\hat{u}_{LO} \cdot \pi}{2}\right)^2 \geq 2IC \end{cases} \tag{4.44}$$

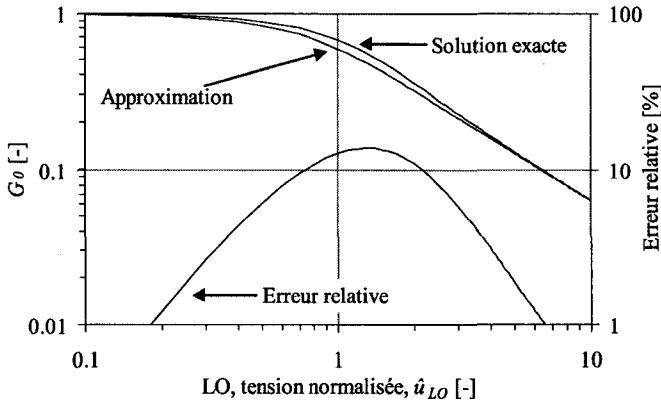


FIG. 4.9 – Erreur relative de gain G_0 en faible inversion pour une approximation par un signal triangulaire de pente identique à une sinusoïde lors des passages par zéro. La solution exacte est calculée avec l'Equ. (4.39).

L'approximation de la sinusoïde par un signal triangulaire est précise à la fois lorsque le signal \hat{u}_{LO} est petit et lorsque le temps de commutation de la paire différentielle est faible. En faible inversion, comme le montre la Fig. 4.9, l'erreur relative maximale de gain G_0 est inférieure à 15% et elle tend vers 0% aux deux asymptotes. En effet, en petits signaux, G_0 donne la valeur normalisée du gain AC indépendamment de la forme du signal appliqué, tandis qu'en grands signaux, seule la pente du signal durant la transition est importante.

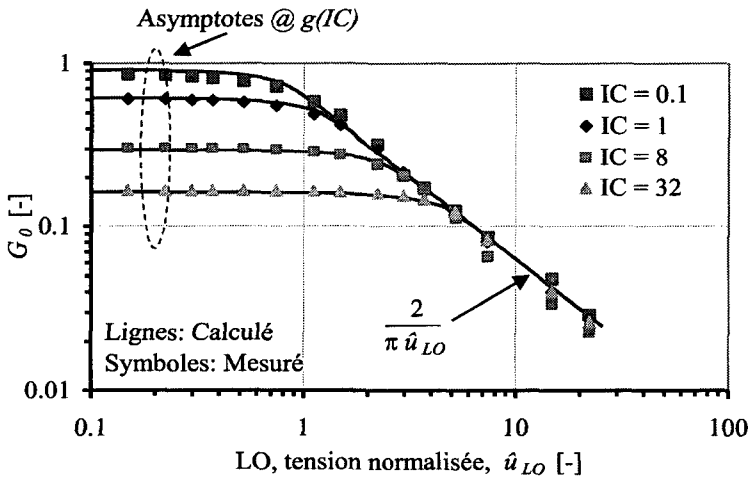


FIG. 4.10 – Gain normalisé G_0 mesuré et calculé (4.45) en fonction du facteur d'inversion IC et de la tension crête appliquée $\hat{u}_{LO} = \hat{V}_{LO}/(nU_T)$.

En considérant que l'asymptote petits signaux ($\hat{u}_{LO} \rightarrow 0$) tend vers $g(IC)$, il est possible de calculer une fonction d'interpolation valable de forte à faible inversion. La Fig. 4.10 montre la parfaite corrélation entre les points mesurés et les courbes calculées (voir Equ. 4.45). Pour de petites amplitudes, les effets de second ordre tels que la réduction de mobilité peuvent être pris en compte en modifiant la transconductance $g(IC)$. Pour de grandes amplitudes ($\hat{u}_{LO} \rightarrow \infty$), le gain G_0 décroît proportionnellement à l'amplitude du LO avec une pente de 20dB/décade.

$$G_0 \cong \begin{cases} g(IC) \sqrt{1 - \left(\frac{g(IC) \cdot \hat{u}_{LO} \cdot \pi}{4} \right)^2} & \frac{\hat{u}_{LO} \cdot \pi}{2} \leq \frac{\sqrt{2}}{g(IC)} \\ \frac{2}{\hat{u}_{LO} \cdot \pi} & \frac{\hat{u}_{LO} \cdot \pi}{2} \geq \frac{\sqrt{2}}{g(IC)} \end{cases} \quad (4.45)$$

Après dénormalisation, la densité spectrale totale de bruit $1/f$ présente en sortie du mélangeur, lorsque ce dernier est fortement commuté, s'écrit, en rappelant que W_{eff} et L_{eff} sont les dimensions effectives d'un des deux transistors de la paire différentielle :

$$S_{I_{\text{out}},1/f} = \frac{2 \cdot KF}{W_{\text{eff}} \cdot L_{\text{eff}} \cdot C_{OX} \cdot f^{AF}} \cdot \left(\frac{I_q}{\pi \hat{V}_{LO}} \right)^2 \quad (4.46)$$

4.3.7 Bruit $1/f$ ramené à l'entrée

Le bruit $1/f$, en sortie du mélangeur, peut être ramené à un bruit équivalent d'entrée $S_{In,eq}$ autour de la fréquence porteuse dont chaque bande en contient la moitié (voir Fig. 4.11). Il suffit donc de diviser la densité spectrale de bruit $1/f$ en sortie par le gain en courant $A_{RF,k}$. En rappelant que $S_{1/f}$ est la densité spectrale de bruit $1/f$ d'un seul transistor :

$$\frac{S_{In,eq}(k \cdot \omega \pm \Delta\omega)}{S_{1/f}(\Delta\omega)} = \left(\frac{I_q}{2nU_T} \right)^2 \cdot \underbrace{\left(\frac{G_0}{A_{RF,k}} \right)^2}_{\tilde{G}_k^2} \quad (4.47)$$

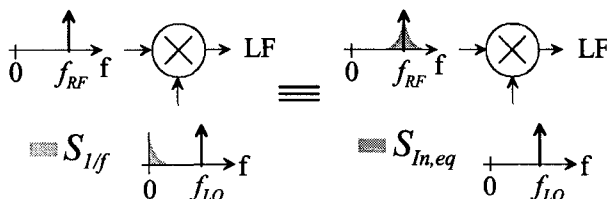


FIG. 4.11 – Bruit $1/f$ équivalent ramené sur l'entrée.

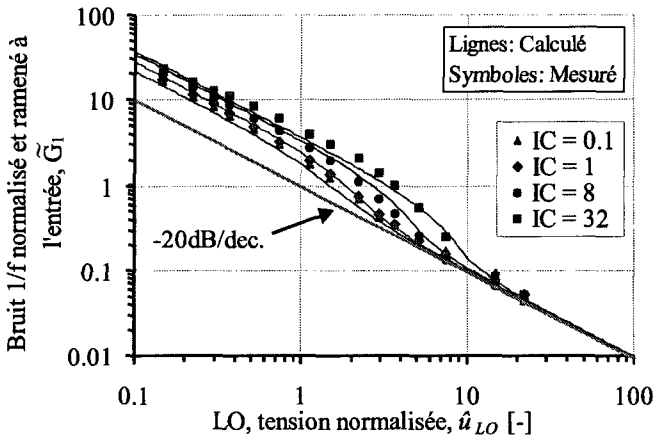


FIG. 4.12 – Gain de transposition \tilde{G}_1 utilisé pour ramener le bruit 1/f sur l'entrée petits signaux.

La Fig. 4.12 montre le gain de transposition \tilde{G}_1 calculé et mesuré pour différents facteurs d'inversion. Pour de grandes amplitudes du LO ($\hat{u}_{LO} \rightarrow \infty$) la décroissance est indépendante du facteur d'inversion et se simplifie :

$$\tilde{G}_k \approx \frac{k}{\hat{u}_{LO}} \quad (4.48)$$

Pour de petites amplitudes, le bruit d'entrée est plus élevé de 6dB en forte inversion qu'en faible inversion. Le mode de travail optimal est donc la faible inversion. En effet, le bruit 1/f équivalent est minimal et le gain de conversion tend plus rapidement vers $2/\pi$.

4.3.8 Bruit des transistors de hachage

Avec les hypothèses réalisées dans la section 4.2.4, il est possible de calculer la contribution du bruit blanc des transistors de hachage. Rappelons tout d'abord que les courants moyens $\bar{I}_1 = \bar{I}_2 = I_q/2$, tandis que les courants instantanés $I_1(t)$ et $I_2(t)$ ainsi que la fonction de transfert $h(t)$ entre la

source de bruit I_x (voir Fig. 4.13) et le courant de sortie s'écrivent :

$$\begin{aligned} I_1(t) &= \frac{I_q}{2} \cdot (1 + f(u, IC)) \\ I_2(t) &= \frac{I_q}{2} \cdot (1 - f(u, IC)) \\ h(t) &= \frac{I_{out}}{I_x} = \frac{2 \cdot g_{ms2}(t)}{g_{ms1}(t) + g_{ms2}(t)} \end{aligned} \quad (4.49)$$

A l'aide de l'équation (4.15) et en négligeant la variation de $\xi(IC(t))$, la densité spectrale $S_{I_{out}}$ totale de bruit blanc due aux transistors de la paire différentielle s'évalue :

$$S_{I_{out}} = 8kT \cdot \xi(IC) \cdot \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} 2 \cdot \frac{g_{ms1}(t) \cdot g_{ms2}(t)}{g_{ms1}(t) + g_{ms2}(t)} \cdot dt \quad (4.50)$$

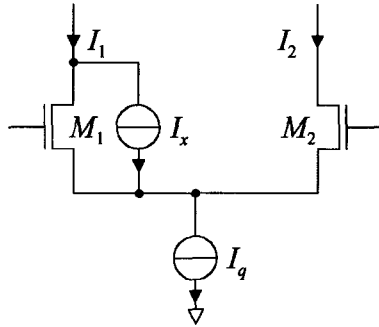


FIG. 4.13 – Source de bruit blanc équivalente I_x utilisée pour le calcul de la fonction de transfert $h(t)$ du bruit cyclo-stationnaire du transistor M_1 .

Soit $S_{I_{out},0}$ la normalisation de la densité spectrale de bruit obtenue pour la paire différentielle autour de son point de fonctionnement :

$$S_{I_{out},0} = 4kT \cdot \xi(IC) \cdot \frac{I_q}{U_T} \cdot g(IC) \quad (4.51)$$

En faible inversion, la transconductance de source $g_{ms}(t)$ est considérée comme proportionnelle au courant instantané traversant le transistor (voir

Equ. 4.16). En supposant que la tension de grille appliquée par l'oscillateur local est triangulaire, la densité spectrale de sortie peut être calculée approximativement, ce qui donne, après simplifications :

$$\begin{aligned}
 \frac{S_{Iout}}{S_{Iout,0}} &= \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} (1 - f^2(u, i)) \cdot dt \\
 &= \frac{4}{T_{LO}} \int_{t=0}^{T_{LO}/4} \left(1 - \tanh^2 \left(\hat{u}_{LO} \cdot \frac{2\pi}{T_{LO}} \cdot t \right) \right) \cdot dt \\
 &= \frac{2}{\hat{u}_{LO} \cdot \pi} \cdot \tanh \left(\frac{\hat{u}_{LO} \cdot \pi}{2} \right) \quad (4.52)
 \end{aligned}$$

En forte inversion, $g_{ms}(t)$ est proportionnel à la racine carrée du courant instantané traversant le transistor (4.16) :

$$\frac{S_{Iout}}{S_{Iout,0}} = \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} \underbrace{\frac{2 \cdot \sqrt{1 - f^2(u, i)}}{\sqrt{1 + f(u, i)} + \sqrt{1 - f(u, i)}}}_{h_n(t)} dt \quad (4.53)$$

Cette intégrale n'a pas de solution analytique, même pour un signal triangulaire. Par contre, comme le montre la Fig. 4.14, son dénominateur peut être considéré comme constant ; ce qui permet de calculer, avec une tension de grille triangulaire :

$$\frac{S_{Iout}}{S_{Iout,0}} \cong \frac{1}{T_{LO}} \int_{t=0}^{T_{LO}} \sqrt{1 - f^2(u, i)} \cdot dt \quad (4.54)$$

$$= \begin{cases} 1 - \frac{1}{24} \left(\frac{\hat{u}_{LO} \cdot \pi}{\sqrt{IC}} \right)^2 & \hat{u}_{LO} \leq \frac{4\sqrt{2IC}}{\pi} \\ \frac{4\sqrt{2}}{3} \cdot \frac{\sqrt{IC}}{\hat{u}_{LO} \cdot \pi} & \hat{u}_{LO} \geq \frac{4\sqrt{2IC}}{\pi} \end{cases} \quad (4.55)$$

Quel que soit le facteur d'inversion, le rapport $S_{Iout}/S_{Iout,0}$ possède deux asymptotes. La première, lorsque $\hat{u}_{LO} \rightarrow 0$, donne la densité spectrale totale en petits signaux du bruit blanc de la paire différentielle $S_{Iout,0}$. La seconde, lorsque $\hat{u}_{LO} \rightarrow \infty$; les transistors sont fortement commutés et la densité spectrale de bruit blanc décroît proportionnellement à l'amplitude du signal de l'oscillateur local avec une pente de -10dB/décade. En effet, lorsqu'un seul transistor de la paire différentielle aiguille tout le courant de

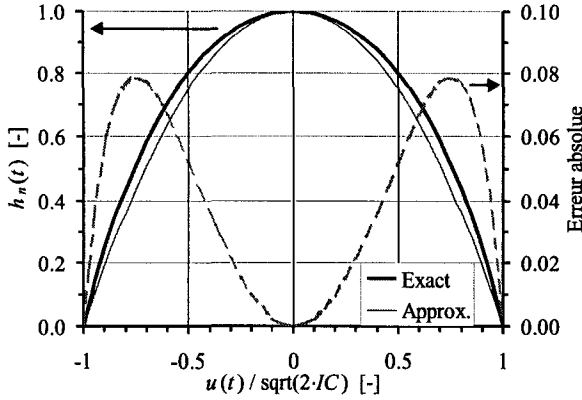


FIG. 4.14 – Erreur absolue réalisée lors de la simplification de la fonction de transfert du bruit blanc en forte inversion (voir Equ. 4.53-4.54).

queue I_q , celui-ci peut être considéré comme un simple transistor cascode. La paire différentielle ne contribue plus alors au bruit de sortie. Pour réduire le bruit des commutateurs de courant M_1 et M_2 , il faut donc augmenter l'amplitude du LO ou réduire le temps de transition.

En faible inversion, pour des amplitudes crêtes plus importantes que nU_T le résultat converge, après dénormalisation, vers la solution obtenue par T. Terrovitis [56] et H. Darabi [57] :

$$S_{Iout} = 8kT \cdot n \cdot \xi(IC) \cdot \frac{I_q}{\pi \hat{V}_{LO}} \quad (4.56)$$

En forte inversion, pour des amplitudes crêtes importantes, l'équation (4.56) surestime d'environ 6% (voir Equ. 4.55) la contribution de bruit des transistors du mélangeur. Pour conclure, les similitudes entre les résultats obtenus pour S_{Iout} en faible inversion (4.52) et en forte inversion (4.55) avec ceux obtenus en calculant le gain normalisé G_0 (4.45) permettent d'écrire :

$$S_{Iout} \cong 4kT \cdot \xi(IC) \cdot \frac{I_q}{U_T} \cdot G_0 \quad (4.57)$$

4.3.9 Effets du pôle interne

Il doit être noté que l'effet du pôle interne de la paire différentielle (capacité C , Fig. 4.4) ne peut pas être totalement négligé, surtout si la consommation du circuit doit être réduite. En effet, la présence de ce pôle empêche la paire différentielle de commuter instantanément le courant. La Fig. 4.15 représente le courant différentiel de sortie en fonction du temps pour les deux cas asymptotiques. Dans le premier cas, le pôle est négligeable et le gain de conversion G_0 tend vers zéro pour de grandes amplitudes du LO. Dans le second cas, la fréquence de coupure du pôle est nettement inférieure à la fréquence du LO et le mélangeur fonctionne comme un détecteur de crête. Comme illustré dans la Fig. 4.15b) un "offset" se traduit par l'apparition de pointes de courant asymétriques, une valeur moyenne non nulle et un gain de conversion $G_0 \rightarrow 1$.

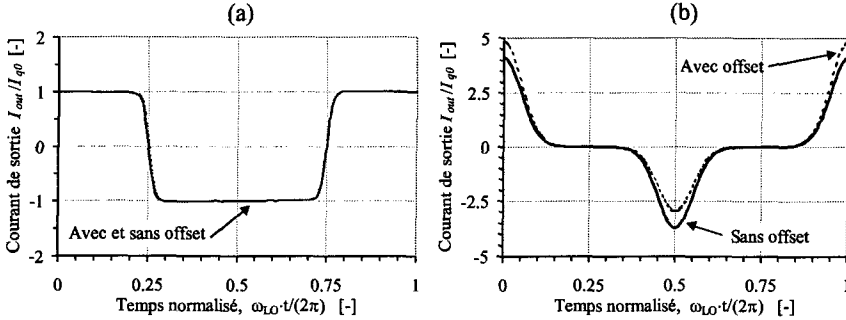


FIG. 4.15 – Courant de sortie simulé pour une paire différentielle en faible inversion avec et sans offset ($\hat{u}_{LO} = 10$, $\hat{u}_{\text{offset}} = 0.5$). La fréquence du LO est largement inférieure (a) puis supérieure (b) à celle du pôle interne ω_c .

La rapidité ou "slew rate" avec laquelle le courant peut varier dans les transistors de hachage dépend :

1. de la capacité C qu'il faut charger et décharger 2 fois par période,
2. de la transconductance de source des transistors M_1 et M_2 .

Soit la fréquence de coupure normalisée f_c donnée par :

$$\omega_c = \frac{2 \cdot g_{ms}}{C} = \frac{1}{C} \cdot \frac{I_q}{U_T} \cdot g(IC) \quad \text{avec} \quad C = C_L + 2 \cdot C_W \cdot W_{\text{eff}} \quad (4.58)$$

où C est la capacité de charge totale, C_L représentant la capacité parasite due au transistor de polarisation et au layout, tandis que C_W est la capacité par unité de largeur W_{eff} d'un des deux transistors du mélangeur vue depuis la source. A l'aide de cette normalisation, il est possible, par analogie au développement réalisé dans le paragraphe 3.5, de calculer le facteur d'inversion optimal pour les transistors de hachage.

Ce pôle dégrade les performances du mélangeur de plusieurs manières :

1. Le gain de conversion en courant $A_{RF,1}$ du mélangeur sera inférieur à $2/\pi$, car le signal d'entrée I_{RF} est atténué.

$$A_{RF,1} = \frac{2}{\pi} \cdot \frac{1}{\sqrt{1 + \left(\frac{2}{\pi} \cdot \frac{\omega_{RF}}{\omega_c} \right)^2}} \quad (4.59)$$

2. Le bruit $1/f$ ne sera rejeté que partiellement. En effet, l'augmentation de l'amplitude appliquée par le LO permet de diminuer le gain G_0 mais uniquement si la bande passante au noeud interne est augmentée en proportion. $G_{0,min}$ décrit le gain minimal que G_0 peut atteindre dans le cas où son amplitude $\hat{u}_{LO} \rightarrow \infty$ (voir Fig. 4.16).

$$G_{0,min} \cong \frac{1}{\sqrt{1 + \left(\frac{\pi}{2} \cdot \frac{\omega_c}{\omega_{LO}} \right)^2}} \quad (4.60)$$

4.4 Synthèse

Après la description des principaux phénomènes liant le bruit et les différents gains de conversion dans un mélangeur, voici une synthèse des principaux résultats. Les gains de conversion, l'amplitude nécessaire sur l'oscillateur local, le facteur d'inversion des transistors, la densité totale de bruit en sortie du mélangeur, la fréquence de coupure du bruit $1/f$, ainsi que sa figure de bruit, sont discutés.

4.4.1 Amplitude du LO et position du pôle

Afin d'obtenir un gain de conversion $A_{RF,1}$ suffisant, il est nécessaire d'appliquer une tension de grille supérieure à $U_T \cdot \sqrt{1 + 2IC}$ (voir Equ. 4.32). Une polarisation en faible inversion des transistors de hachage permet de réduire la tension \hat{V}_{LO} . Ainsi, la consommation du LO [59] diminue proportionnellement. Une polarisation en inversion modérée $IC \cong 1$

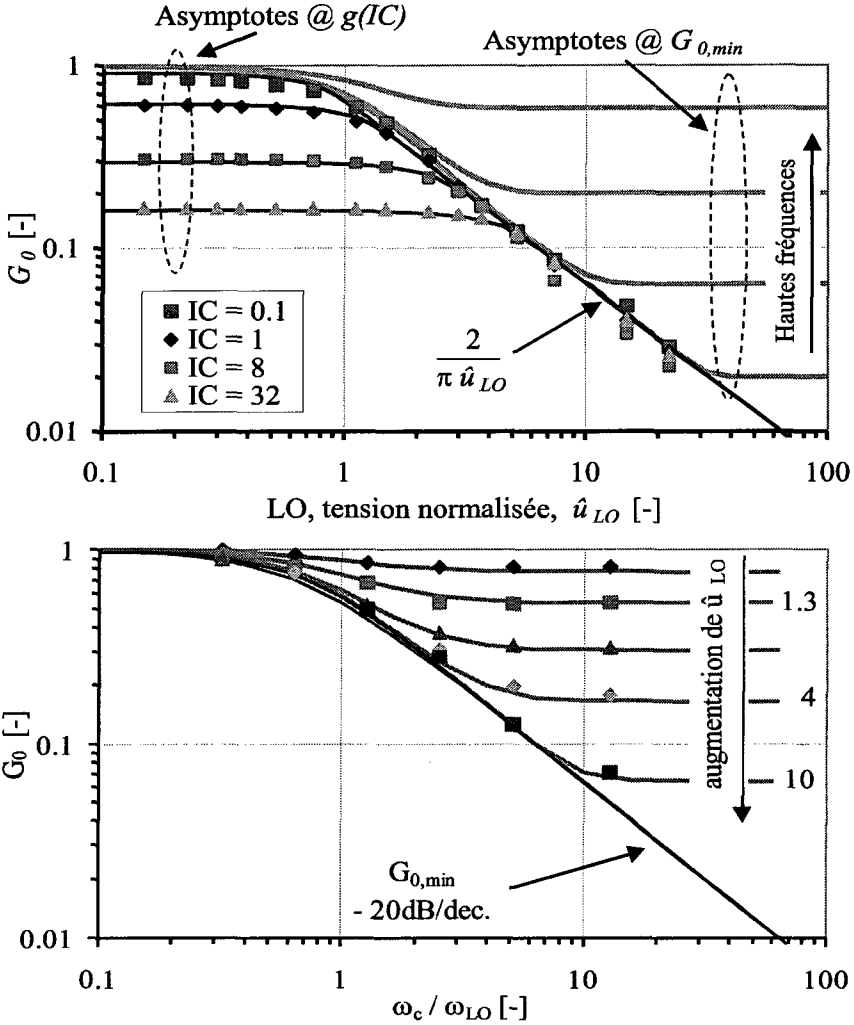


FIG. 4.16 – a) Gain de conversion normalisé G_0 mesuré et calculé. Pour un oscillateur local travaillant à fréquences élevées $f_{LO} > f_c$, la réjection atteint une limite indépendante de l'amplitude \hat{u}_{LO} . b) Gain de conversion minimal $G_{0,min}$ calculé et mesuré pour un mélangeur en faible inversion ($f_c = 320\text{MHz}$, f_{LO} variant de 10MHz à 1GHz [60]).

est avantageuse du point de vue capacitif. En effet, la tension nécessaire pour commuter la paire différentielle y est à peu près la même qu'en faible inversion, alors que la fréquence f_c du pôle parasite est augmentée. Une polarisation en forte inversion réduit l'effet du pôle parasite, mais augmente la puissance consommée par le mélangeur et par le LO.

Afin de diminuer la densité spectrale de bruit $1/f$ résiduelle, il faut augmenter la tension \hat{V}_{LO} , quel que soit le facteur d'inversion de la paire différentielle (voir Equ. 4.46). La seule condition à respecter est une augmentation de la bande passante du noeud interne, soit :

$$f_c \geq f_{LO} \cdot \left(\frac{\pi \hat{V}_{LO}}{2nU_T} \right)^2. \quad (4.61)$$

4.4.2 Densité totale de bruit à la sortie du mélangeur

En négligeant l'effet du pôle, la densité spectrale totale du bruit en courant S_{Iout} (voir Fig. 4.17) à la sortie du mélangeur est environ égale à :

$$S_{Iout} \cong S_{Iin} + S_{I,BF} + 4kT \cdot \xi(IC) \cdot \frac{I_q}{U_T} \cdot G_0 + 2 \cdot S_{1/f} \cdot \left(\frac{I_q}{2nU_T} \right)^2 \cdot G_0^2 \quad (4.62)$$

S_{Iin} étant la densité spectrale de bruit à l'entrée du mélangeur, $S_{I,BF}$ la densité spectrale de bruit en courant de la charge basse-fréquence et $S_{1/f}$ la densité spectrale de bruit en tension sur la grille d'un des deux transistors de la paire différentielle. Pour diminuer $S_{I,BF}$, il faut que la charge du mélangeur présente une impédance élevée. Malheureusement, à une très faible tension d'alimentation, ce bruit n'est jamais négligeable comme le montrent les résultats obtenus dans les structures à très faible tension d'alimentation [37],[60],[61] et [62].

4.4.3 Fréquence de coupure du bruit $1/f$

On peut distinguer deux fréquences de coupure du bruit $1/f$ en sortie du mélangeur. La première dépend du bruit blanc des transistors du mélangeur eux-mêmes, la seconde est liée au bruit blanc du circuit. Les deux cas sont bien entendu fonction de la densité spectrale de bruit sur la grille des transistors du mélangeur.

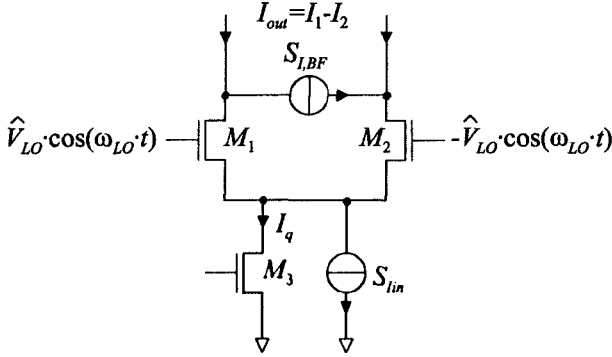


FIG. 4.17 – Paire différentielle et densités spectrales de bruit.

Fréquence de coupure intrinsèque

En rappelant que W_{eff} , L_{eff} et IC sont respectivement les dimensions effectives et le facteur d'inversion d'un des deux transistors de la paire différentielle, en posant $S_{Iin} = S_{I,BF} = 0$, le résultat suivant est obtenu :

$$f_c^{AF} = \frac{KF}{4kT\xi(IC) \cdot W_{\text{eff}} \cdot L_{\text{eff}} \cdot C_{OX}} \cdot \frac{I_q}{2n^2U_T} \cdot G_0 \quad (4.63)$$

$$= \frac{KF}{4kT\xi(IC)} \cdot \frac{\mu U_T}{nL_{\text{eff}}^2} \cdot 2IC \begin{cases} g(IC) & \hat{V}_{LO} \ll \frac{2nU_T}{\pi g(IC)} \\ \frac{2nU_T}{\pi \hat{V}_{LO}} & \hat{V}_{LO} \gg \frac{2nU_T}{\pi g(IC)} \end{cases} \quad (4.64)$$

Cette fréquence de coupure possède deux asymptotes :

1. $\hat{V}_{LO} \ll \frac{2nU_T}{\pi g(IC)}$, le résultat petits signaux est obtenu (voir Equ. 4.5),
2. $\hat{V}_{LO} \gg \frac{2nU_T}{\pi g(IC)}$, la fréquence de coupure décroît proportionnellement à l'amplitude crête appliquée par le LO avec une pente de -10dB/décade.

Fréquence de coupure extrinsèque

Le bruit blanc des transistors de hachage est négligé. Ce qui permet d'écrire pour $\hat{V}_{LO} \gg \frac{2nU_T}{\pi g(IC)}$:

$$f_c^{AF} = \frac{KF}{(S_{Iin} + S_{I,BF}) \cdot W_{\text{eff}} \cdot L_{\text{eff}} \cdot C_{OX}} \cdot \frac{I_q}{2U_T} \cdot \left(\frac{2U_T}{\pi \hat{V}_{LO}} \right)^2 \quad (4.65)$$

Dans ce cas de figure, la fréquence de coupure décroît proportionnellement au carré de la tension crête appliquée, donc avec une pente de -20dB/décade. Dans un cas pratique, les densités spectrales de courant de bruit S_{Iin} et $S_{I,BF}$ dominent la densité de bruit blanc intrinsèque aux transistors de hachage. Une augmentation de l'amplitude du LO ou une diminution du temps de commutation permettent donc de réduire la fréquence de coupure f_c^{AF} proportionnellement au carré de la tension crête appliquée par le LO.

4.4.4 Figure de bruit du mélangeur

Le bruit de sortie du mélangeur peut être ramené à un bruit équivalent d'entrée $S_{In,eq}(k \cdot \omega_{LO} \pm \Delta\omega)$, centré autour de la porteuse et dont chaque bande en contient la moitié (voir Fig. 4.18). Pour ce faire, il suffit de diviser la densité totale de bruit en sortie S_{Iout} par le gain en courant $A_{RF,k}$.

$$S_{In,eq} = \frac{1}{2} \cdot \frac{S_{Iout}}{A_{RF,k}^2} \quad (4.66)$$

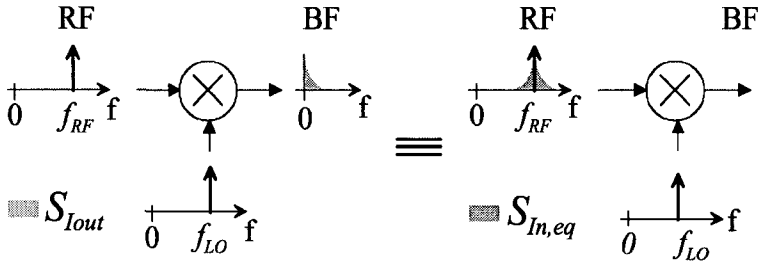


FIG. 4.18 – Bruit d'entrée DSB équivalent.

En supposant que le bruit d'entrée S_{in} provient uniquement du transistor de polarisation, et en normalisant le bruit à celui généré par une impédance de source de valeur $g_{ms,q} = I_q/U_T \cdot g(IC_q)$, on peut calculer la figure de bruit double bande DSB¹ de la structure. En négligeant le pôle d'entrée et en supposant une tension appliquée sur le LO suffisante ($\hat{V}_{LO} \rightarrow \infty$) afin d'obtenir un gain en courant $A_{RF,k}$ optimal, il en résulte :

¹La figure de bruit DSB est 3dB en dessous de la figure de bruit simple bande SSB. En effet, en SSB, tout le bruit est ramené sur une seule bande de fréquence autour de la porteuse. En conversion directe, la figure de bruit SSB a plus de sens car elle tient compte des repliements spectraux du bruit.

$$NF_{DSB} = 10 \cdot \log \left(1 + \frac{S_{In,eq}}{4kT \cdot g_{ms,q}} \right) \quad (4.67)$$

$$NF_{SSB} = 10 \cdot \log \left(2 + 2 \cdot \frac{S_{In,eq}}{4kT \cdot g_{ms,q}} \right) \quad (4.68)$$

avec,

$$\begin{aligned} \frac{S_{In,eq}}{4kT \cdot g_{ms,q}} &= \frac{1}{2} \left(\frac{k \cdot \pi}{2} \right)^2 \left(\xi(IC_q) + \frac{\xi(IC)}{g(IC_q)} \cdot \frac{nU_T}{\pi \hat{V}_{LO}} \right) \\ &+ \frac{1}{2} \left(\frac{k \cdot \pi}{2} \right)^2 \frac{S_{I,BF}}{4kT \cdot g_{ms,q}} \\ &+ \frac{S_{1/f}}{4kT \cdot g(IC_q)} \cdot \frac{I_q}{4U_T} \left(\frac{k \cdot U_T}{\hat{V}_{LO}} \right)^2 \end{aligned} \quad (4.69)$$

La figure de bruit SSB est minimal si $g(IC_q)$ est maximal, donc si le transistor d'entrée M_3 est en faible inversion. Dans ce cas particulier, en négligeant le bruit de sortie, le bruit 1/f et le bruit blanc des transistors de hachage, la figure de bruit SSB est de 5.1dB pour $k = 1$ et de 11.2dB pour $k = 3$.

4.4.5 Gains $A_{RF,k}$

Pour les gains de conversion $A_{RF,k}$, $k = 3, 5, 7, \dots$, le gain décroît proportionnellement à k ; la figure de bruit, par contre croît en $1 + k^2$. Pour $k = 3$, la figure de bruit sera donc d'environ 6dB au-dessus de celle obtenue pour $k = 1$. De plus, la fréquence de coupure du bruit 1/f sera elle aussi dégradée d'un facteur k^2 . C'est pour ces raisons que les mélangeurs sous-harmoniques, bien que permettant de réduire la fréquence de travail du LO, ne sont pas très intéressants lorsque des figures de bruit raisonnables sont attendues.

4.5 Conclusions

Dans ce chapitre, les limites de sensibilité d'un récepteur à conversion directe ou quasi-directe ont été décrites. Il a très clairement été démontré que le bloc qui cause le plus de dégradation de la sensibilité, à cause de son bruit 1/f, est le mélangeur en bande de base. Une étude analytique des différentes fonctions de transfert du bruit dans un mélangeur a été réalisée. Pour ce faire, le formalisme permettant le calcul des fonctions de transfert

petits signaux dans un système grands signaux, variant dans le temps, a été décrit. A l'aide de ce formalisme, voici les points principaux qui ont été discutés :

1. Gain de transposition du signal dans un mélangeur harmonique ou sous-harmonique.
2. Gain de transposition du bruit $1/f$ et solutions pour améliorer sa réjection.
3. Effet du pôle interne sur la réjection du bruit $1/f$.
4. Calcul de la figure de bruit.

Cette analyse, validée par des mesures en technologie digitale $0.5\mu\text{m}$, prend en compte le facteur d'inversion des différents transistors ainsi que l'amplitude appliquée par l'oscillateur local.

Chapitre 5

Amplification et conversion de fréquence

Dans ce chapitre, des structures combinant à la fois l'amplificateur faible bruit (LNA) et le mélangeur sont présentées. En effet, la solution consistant à n'avoir aucun élément externe entre ces deux blocs est la meilleure d'un point de vue consommation, prix et asservissement de la fréquence de travail (voir section 3.1.3). Étant donné ce choix, il n'est pas possible de caractériser l'amplificateur tout seul sans en augmenter exagérément la charge capacitive, ce qui dégraderait ses performances.

Ce chapitre est scindé en trois sections. La première décrit des éléments communs à toutes les structures ; la figure de bruit, le cahier des charges, la procédure de mesure et les circuits d'adaptation y sont donc discutés. La seconde section présente conjointement les trois circuits d'amplification et de conversion réalisés ainsi que leurs performances. La dernière partie présente en conclusion une comparaison entre les performances de chaque bloc. Quelques utilisations particulières de certains blocs sont également décrites.

5.1 Mesures et adaptation

5.1.1 Figure de bruit

La figure de bruit de blocs constituant un système à conversion directe doit être considérée avec circonspection. En effet, la sensibilité de la plupart des blocs est donnée en figure de bruit double bande ("Double-Sided Band")

DSB). Si cette définition est justifiée pour un récepteur super-hétérodyne dans lequel la fréquence image et le bruit associé sont pré-filtrés, ce n'est pas le cas pour une démodulation FSK en conversion directe. Le bruit de l'étage amplificateur est replié (voir Ch. bruit). Il est donc plus naturel de parler de figure de bruit simple bande (SSB) qui est 3dB au-dessus du niveau de la figure de bruit DSB.

Un second effet vient perturber l'interprétation de la figure de bruit en conversion directe. En effet, le calcul de la probabilité d'erreur ε_{FSK} prend en compte le bruit V_{N1} présent à l'entrée du système (voir Fig. 5.1). Après les mélangeurs et le filtrage, ce bruit reste corrélé entre les deux sorties basse fréquence I-Q. Ce n'est pas du tout le cas pour V_{N2} et V_{N3} , ces deux sources de bruit étant indépendantes. Dans le cas où la figure de bruit du système est dominée par les sources de bruit du mélangeur, le rapport signal sur bruit idéal est donc dégradé de 3dB supplémentaires.

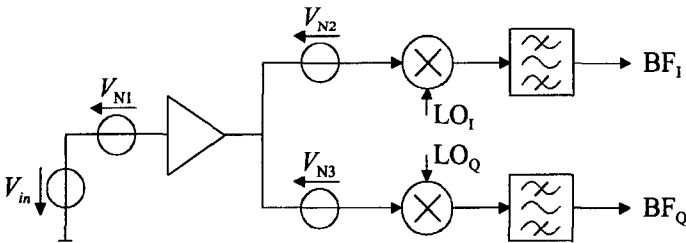


FIG. 5.1 – Sources de bruit en conversion directe.

5.1.2 Cahier des charges

En corollaire au chapitre décrivant le cahier des charges global d'un récepteur à conversion directe, voici le détail de celui concernant l'amplification et la conversion de fréquence.

Le courant consommé ne doit pas excéder $200\mu\text{A}$ pour une tension d'alimentation comprise entre 1 et 2V et une impédance d'entrée de 50Ω . Ce niveau d'impédance est non seulement une grandeur caractéristique des appareils de mesure haute fréquence, mais encore il est proche de celui des antennes [28]. La figure de bruit DSB doit être d'environ 17dB, soit 3dB inférieure à celle demandée dans le cahier des charges global, afin de permettre l'utilisation d'un filtre d'entrée à onde de surface. En effet, la sélectivité des antennes et du circuit d'adaptation ne suffisent pas à supprimer les signaux perturbateurs hors de la bande ISM.

La tension crête différentielle disponible à la sortie de l'oscillateur local est inférieure à 150mVp. Sa charge capacitive par canal est inférieure à 100fF pour ne pas trop charger le déphaseur actif et le VCO. Le gain en tension est au minimal de 20dB pour une dynamique libre d'interférence (SFDR) supérieure à 55dB (15dB de SNR et 40dB d'affaiblissement de propagation). Des boucles de contre-réaction fixent le point de polarisation avec des constantes de temps inférieures à 100 μ s afin de diminuer le temps d'enclenchement du circuit. Pour terminer, l'isolation entre le LO et l'entrée de l'amplificateur doit être supérieure à 50dB.

5.1.3 Mesures

Gain, figure de bruit et impédance d'entrée

Pour la caractérisation, les signaux du LO et d'entrée RF sont appliqués sans circuit d'adaptation à deux diviseurs de puissance (power splitter Anzac H-183-4, 30MHz à 3GHz, 2 voies : 0° et 180°) dont les sorties sont chacune chargées par une résistance de 50 Ω (voir Fig. 5.2). Cette configuration, après mesure des pertes dans les câbles et les power splitter, permet d'estimer précisément la tension d'entrée et le gain G_u . De plus, combinée avec la mesure de l'impédance d'entrée du circuit et la mesure de la densité spectrale de bruit en sortie, elle permet d'évaluer la figure de bruit.

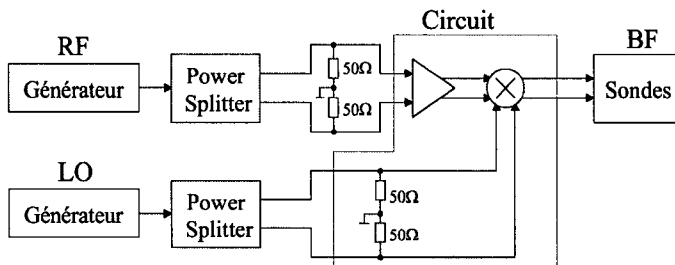


FIG. 5.2 – Principe de la mesure de l'étage d'entrée en conversion directe.

Les résistances de 50 Ω à l'entrée de l'amplificateur sont à l'extérieur du circuit intégré. Une fois le gain en tension et l'impédance d'entrée mesurés, elles peuvent être remplacées par un circuit d'adaptation. Le signal du LO, quant à lui, est appliqué à des grilles de transistors et des résistances internes de 50 Ω . Ces dernières amortissent le circuit de résonance entre la capacité du pad (\approx 300 à 500fF), la capacité d'entrée du boîtier (\approx 2 à 5pF) et les

inductances de bounding ($\approx 5\text{nH}$ à 10nH) afin de permettre une mesure des performances jusqu'à des fréquences de 1GHz .

Point d'intersection du troisième ordre

Pour la mesure du point d'intersection du troisième ordre, deux signaux RF de même amplitude mais de fréquence légèrement différentes sont générés. Ils sont ensuite additionnés et injectés à l'entrée du power splitter. Les pertes de l'additionneur doivent être compensées afin que les amplitudes de sortie soient identiques à celles mesurées lors du gain en tension G_u . Bien entendu, cette ajustement doit se faire en petit signaux, c'est-à-dire pour des niveaux d'entrée bien inférieurs au point de compression. La tension de sortie du produit d'intermodulation du 3ème ordre est ensuite mesurée. Les fréquences générées par le produit d'intermodulation doivent être dans la bande passante de sortie. Soit, par exemple, $f_{LO} = 430\text{MHz}$, $f_{RF1} = 430.050\text{MHz}$ et $f_{RF2} = 430.035\text{MHz}$:

$$f_{IIP3} = |2 \cdot f_{RF1} - f_{RF2}| - f_{LO} = 65\text{kHz} \quad (5.1)$$

$$= |2 \cdot f_{RF2} - f_{RF1}| - f_{LO} = 20\text{kHz} \quad (5.2)$$

Une vérification du choix de l'harmonique peut être réalisée, en rappelant que les harmoniques des produits d'intermodulation du 3ème ordre sont proportionnelles au cube du niveau d'entrée appliqué (voir appendice A).

Bruit

Pour mesurer la densité spectrale de bruit en sortie du circuit, il est nécessaire d'obtenir une bande passante de mesure supérieure à 5MHz . En effet, le bruit $1/f$ détériore la figure de bruit jusqu'à des fréquences de 1 à 2MHz . Une bande passante trop faible empêche une bonne caractérisation du bruit blanc du système. Des étages suiveurs en tension sont nécessaires. Ces derniers sont dimensionnés afin d'atteindre des niveaux d'impédance de sortie inférieurs à 200Ω , garantissant ainsi une bande passante supérieure à 5MHz pour des capacités de charge de l'ordre de 100pF .

5.1.4 Circuits d'adaptation et d'amplification

En règle générale, un niveau d'impédance de $R_0 = 50\Omega$ est désiré afin de faciliter la mesure et la connection d'une antenne. En effet, pour des petites dimensions par rapport à la longueur d'onde, l'antenne présente une

résistance de rayonnement faible (de l'ordre de 1 à 10Ω), par contre il est possible de ramener son impédance d'entrée aux environs de $R_0 = 50\Omega$ [28].

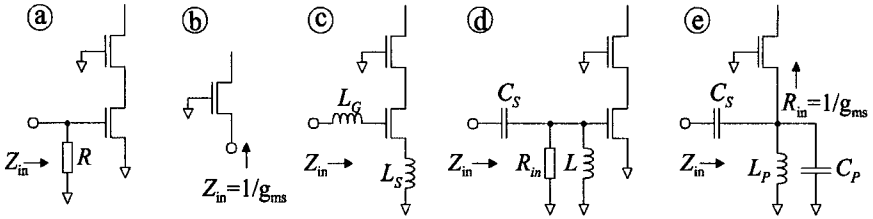


FIG. 5.3 – Circuits d'adaptation, a) terminaison résistive, b) terminaison en $1/g_{ms}$, c) dégénération inductive, d) élévateur d'impédance en L avec terminaison résistive, e) élévateur d'impédance en L.

Différentes solutions existent pour faire une adaptation d'impédance [5] :

1. A l'aide d'un élément passif $R = R_0 = 50\Omega$ (voir Fig. 5.3a). Cette solution abaisse le niveau d'impédance sur le circuit intégré et simplifie les problèmes d'adaptation dus, par exemple, à la résonance entre les inductances des fils de bounding et la capacité parasite du pad. Malheureusement, la figure de bruit d'un tel amplificateur se détériore très rapidement.

$$NF_{DSB} = 10 \cdot \log \left(2 + \frac{4n^2\xi}{R_0 \cdot g_{ms}} \right) \quad \text{avec} \quad g_{ms} = \frac{I_D}{U_T} \cdot g(IC) \quad (5.3)$$

Pour une polarisation en faible inversion ($g(IC) = 1$, $\xi = 1/2$ et $n = 1.3$) et un courant de drain de $I_D = 100\mu A$, la figure de bruit tend vers $NF_{DSB} \cong 12.8\text{dB}$. Cette valeur est inacceptable, même dans le cas d'un récepteur courte distance.

2. Avec un transistor utilisé en grille commune afin d'obtenir un niveau de $R_0 = 50\Omega$ sur le circuit intégré (voir Fig. 5.3b)[4]. Cependant, pour une très faible consommation, cette solution n'est pas utilisable; le courant nécessaire pour obtenir un tel niveau d'impédance est au minimum de $I = U_T/R_0 = 500\mu A$ (transistor en faible inversion et au maximum de son rapport g_m/I). Soit la moitié du budget de consommation totale désirée pour le récepteur.

$$NF_{DSB} = 10 \cdot \log \left(1 + \frac{\xi}{R_0 \cdot g_{ms}} \right) \quad (5.4)$$

On peut cependant abaisser cette consommation si l'on accepte une désadaptation de l'entrée du LNA. Cette économie se fait toutefois au détriment de la figure de bruit qui augmente. Par exemple, elle passe de 3.6dB (pour $500\mu\text{A}$) à $NF_{DSB} \cong 5.4\text{dB}$ avec $100\mu\text{A}$ en faible inversion (Equ. 5.4).

3. La solution la plus couramment utilisée est une attaque par la grille, source et grille étant dégénérées par des inductances (L_S et L_G , voir Fig. 5.3c)[5][63]. Un transistor monté en cascode est également nécessaire afin de réduire l'effet de la capacité grille-drain et d'éviter une perte de gain par effet Miller. Le facteur de qualité Q' du circuit résonant série non chargé (sans la charge de l'impédance de source $R_0 = 50\Omega$) dépend de la pulsation de travail ω et de la valeur de l'inductance dans la source L_S :

$$Q' \cong \frac{1}{g_{ms} \cdot \omega \cdot L_S} \quad (5.5)$$

La consommation en courant I_D et la figure de bruit (en négligeant le bruit induit de grille) sont liées :

$$I_D = \frac{nU_T}{g(IC)} \cdot \frac{1}{\omega \cdot L_S \cdot Q'} \quad (5.6)$$

$$NF_{DSB} = 10 \cdot \log \left(1 + n\xi \cdot \frac{\omega \cdot L_S}{R_0 \cdot Q'} \right) \quad (5.7)$$

Pour diminuer la consommation et la figure de bruit, il faut donc augmenter le facteur de qualité Q' et réduire le facteur d'inversion IC . Cette structure a des performances très intéressantes. Cependant, pour un budget de consommation de l'ordre de $100\mu\text{A}$, une polarisation en inversion modérée ($IC = 1$) et un facteur de qualité raisonnable ($Q' < 5$), elle impose une inductance série $L_S > 40\text{nH}$. Cette valeur ne pouvant pas être réalisée à l'aide d'une inductance de bounding, il est nécessaire de rajouter une inductance externe. Malheureusement, cette dernière forme un circuit résonnant parallèle avec la capacité associée au pad et au boîtier (1 à 3pF) dans la gamme de fréquence des 400MHz . C'est la raison pour laquelle cette solution n'a pas été retenue.

4. La solution de la Fig. 5.3d) permet d'augmenter l'impédance interne R_{in} sans détruire la figure de bruit par un circuit passif élévateur

d'impédance en L .

$$Q = \frac{1}{2} \cdot \sqrt{\frac{R_{in}}{R_0}} - 1 \quad (5.8)$$

$$\omega_0^2 = \frac{1}{L \cdot C_S} \quad (5.9)$$

La capacité série C_S et l'inductance parallèle L permettent une adaptation dont le facteur de qualité global Q (y compris la résistance de source du générateur ou de l'antenne) est donné à la pulsation de résonance ω_0 . Dans ce cas, la figure de bruit est la suivante :

$$NF_{DSB} = 10 \cdot \log \left(2 + \frac{4n^2\xi}{R_{in} \cdot g_{ms}} \right) \quad (5.10)$$

La consommation d'un tel circuit peut être diminuée pour autant que la résistance R_{in} ainsi que le facteur de qualité Q soient augmentés. Cependant, Q est limité par la tolérance sur les éléments passifs ainsi que par les éléments parasites. En sachant que la fréquence de résonance f_r soit dans la bande passante de la fréquence de résonance idéale f_0 , le facteur de qualité maximal peut être déterminé en fonction de la dispersion des éléments du circuit résonant série ($\Delta L/L$ et $\Delta C_S/C_S$).

$$f_0 \cdot \left(1 - \frac{1}{2 \cdot Q} \right) < f_r < f_0 \cdot \left(1 + \frac{1}{2 \cdot Q} \right) \quad (5.11)$$

$$f_r = f_0 \cdot \frac{1}{\sqrt{(1 \pm \frac{\Delta L}{L}) \cdot (1 \pm \frac{\Delta C_S}{C_S})}} \quad (5.12)$$

$$\cong f_0 \cdot \left(1 \pm \frac{\Delta L}{2L} \right) \cdot \left(1 \pm \frac{\Delta C_S}{2C_S} \right) \quad (5.13)$$

Le facteur de qualité maximal Q_{max} et la tolérance sur les éléments sont donc liés de la manière suivante (évaluation à 3 fois l'écart type) :

$$Q_{max} \leq \frac{1}{3} \cdot \frac{1}{\sigma_{LC}} \quad \text{avec} \quad \sigma_{LC} = \sqrt{\sigma_L^2 + \sigma_{C_S}^2} \quad (5.14)$$

σ_L et σ_{C_S} étant les variances relatives de l'inductance L et de la capacité C_S . En combinant les relations précédentes, la résistance d'entrée

maximale est obtenue :

$$R_{in,max} \leq R_0 \left(\frac{4}{9} \cdot \frac{1}{\sigma_{LC}^2} + 1 \right) \quad (5.15)$$

Pour une dispersion de 10% sur les valeurs de la capacité et de l'inductance, le facteur de qualité maximal est donc de 2.3. Ce qui signifie que $R_{in,max} \cong 1\text{k}\Omega$. Dans ce cas, et pour une consommation de $100\mu\text{A}$, la figure de bruit peut être aussi basse que $NF_{DSB} \cong 4.1\text{dB}$.

5. Finalement, pour réduire la consommation du LNA et diminuer la figure de bruit, la solution de la figure 5.3e) s'impose. L'adaptation se réalise par un circuit élévateur en L, tandis que l'impédance d'entrée est déterminée par la transconductance de source g_{ms} . La polarisation du transistor d'entrée impose le choix d'un circuit élévateur à terminaison inductive. L'inductance L_P a deux fonctions. Premièrement, de faire résoner la capacité parasite C_P , formée de la capacité du pcb (1pF), celle du pad (500fF) et celle du boîtier (1pF). et deuxièmement, avec la capacité série C_S de réaliser l'adaptation d'impédance, en choisissant :

$$L_P = \frac{1}{\omega^2} \cdot \frac{1}{C_S + C_P} \quad (5.16)$$

Comme décrit au point précédent, le facteur de qualité Q est limité par la tolérance sur les éléments passifs ainsi que par les éléments parasites. Les relations (5.8), (5.9), (5.14) et (5.15) restent applicables pour autant que l'on tienne compte de la dispersion des valeurs de C_P et L_P . La figure de bruit minimale d'une telle structure vaut à l'adaptation ($g_{ms} = 1/R_{in}$) et en faible inversion :

$$NF_{DSB} = 10 \cdot \log \left(1 + \frac{\xi}{R_{in} \cdot g_{ms}} \right) \cong 1.8\text{dB} \quad (5.17)$$

L'impédance R_{in} des circuits décrits dans la suite de ce chapitre est proche de $1\text{k}\Omega$. C_P est d'environ 2 à 3pF, ce qui implique un facteur de qualité global de $Q \cong 2.3$, une capacité série $C_S \cong 2\text{pF}$ et une inductance parallèle $L_P \cong 30\text{nH}$. Cette solution a aussi l'avantage de simplifier au maximum la polarisation du LNA, un simple miroir de courant étant suffisant. Pour terminer, cette structure a permis le développement d'un circuit amplificateur-mélangeur à un seul noeud interne haute fréquence (voir section 5.2.2).

est comparée à une tension de référence V_{ref} générée, elle aussi, à l'aide d'une source de courant et d'une résistance. Les entrées des deux transconducteurs de contre-réaction sont réalisées avec des paires différentielles PMOS en faible inversion et la tension $V_{ref} \cong 150\text{mV}$. La bande passante de la boucle est de 2MHz afin de garantir la stabilité et de n'ajouter aucun bruit à 430MHz.

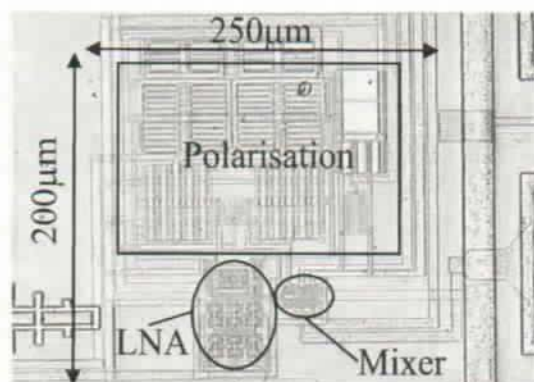


FIG. 5.5 – Photo du die pour un amplificateur-mélangeur à gain en tension.

Un gain en tension de 20dB en basse fréquence est réalisé à l'aide d'une charge résistive. Malheureusement, une grande valeur de résistance a pour conséquence une chute de tension très importante à ses bornes. Une des solutions pour résoudre ce problème est l'usage de charges non linéaires (typiquement un transistor MOS en conduction) qui dégradent la dynamique. Dans ce circuit, la linéarité de l'amplificateur est maintenue par addition d'une source de courant en parallèle à la charge, afin que la chute de potentiel DC ne soit pas trop importante sur la résistance, tout en permettant des débattements de tension importants à la fréquence de travail. Malgré des transconductances de source de M_1 et M_2 bien contrôlées, le gain global ne l'est pas. En effet, les résistances en polysilicium non salicidé utilisées comme charges ont une précision de $\pm 30\%$ en valeur absolue. Le gain DC de la structure est donc choisi suffisamment grand ($> 20\text{dB}$) afin d'éviter que la dispersion sur les résistances salicidées ne détruise le gain haute fréquence G_{LNA} . Ce dernier est fonction de la charge capacitive C aux noeuds HF_1 et HF_2 . Il vaut à la pulsation de travail ω :

$$G_{LNA} = \frac{g_{ms1}}{\omega \cdot C} \quad (5.18)$$

Tandis que le facteur de bruit F_{LNA} lors de l'adaptation en puissance s'évalue à l'aide de la relation suivante (voir Equ. A.25) :

$$F_{LNA} = 1 + \xi_1 + \left(\frac{\omega \cdot C}{g_{ms1}} \right)^2 \cdot \left(\frac{R_3^{-1} + \xi_3 \cdot g_{ms3}}{g_{ms1}} \right) \quad (5.19)$$

Le mélangeur est une structure de Gilbert doublement balancée. Pour une consommation de polarisation de $15\mu A$ par branche, les contraintes de ce bloc sont respectées. Ces dernières sont :

1. La charge capacitive d'entrée sur M_5 et M_6 est de seulement 20fF afin de ne pas détériorer le gain en tension du LNA.
2. Les transistors M_7 à M_{10} sont polarisés en inversion modérée afin de permettre un gain en courant du mélangeur suffisant avec une tension crête appliquée par le LO de seulement 100mVp pour une charge capacitive inférieure à 40fF.
3. Le courant de drain de M_5 et M_6 garantit une bande passante du mélangeur suffisante. Cependant, vu la très faible tension d'alimentation, leur tension source-drain est limitée, ce qui détruit la linéarité du récepteur.

Éléments	Valeur	W/L en μm	IC	Courant
M_1 - M_2	-	80/0.5	2	100 μA
M_3 - M_4	-	40/0.5	16	90 μA
M_5 - M_6	-	10/0.5	3	15 μA
M_7 - M_{10}	-	10/0.5	1.5	7.5 μA
M_{11} - M_{12}	-	20/5	20	5 μA
R_1 - R_2	55k Ω	-	-	10 μA
R_5 - R_6	10k Ω	-	-	15 μA
R_{11} - R_{12}	30k Ω	-	-	10 μA
C_5 - C_6	1pF	-	-	-

TAB. 5.1 – Valeurs, dimensions, facteur d'inversion IC et courant de polarisation des éléments du circuit proposé à la Fig. 5.4 @ $V_{DD} = 1.2V$.

Afin de diminuer la charge capacitive des noeuds internes, les transistors haute fréquence M_1 à M_{11} sont réalisés à l'aide de structures concentriques (voir Fig. 5.5). Dans un cas idéal cette solution diminue d'un facteur deux la capacité de jonction des transistors MOS. Elle a toutefois été abandonnée par la suite, car les transistors ainsi réalisés ont une tension de

seuil légèrement supérieure aux transistors en peigne (50mV). De plus, la réduction de charge capacitive reste négligeable vis à vis de la charge globale.

Le Tab. 5.1 récapitule les valeurs, les dimensions, le facteur d'inversion et le courant de polarisation des différents éléments du circuit sous 1.2V de tension d'alimentation. Les capacités C_5 et C_6 sont des capacités de jonction et le pôle R_5 - C_5 est de 16MHz afin de ne pas perturber la stabilité de la boucle de contre-réaction. La charge capacitive des noeuds HF_1 et HF_2 est de 150fF chacune ($2.5k\Omega$ à 430MHz). Pour le noeud HF_1 , elle se répartit de la manière suivante : 40fF pour le transistor M_1 , 30fF pour M_3 , 20fF pour R_1 , 20fF pour M_4 - M_5 et 40fF de capacité parasite due aux lignes de métal. Pour une consommation totale de $200\mu A$ du LNA, le gain G_{LNA} est de 10.5dB et la figure de bruit DSB est estimée à $N_{FLNA} = 5.4dB$.

Caractérisation

La Fig. 5.6 représente le point d'intersection du troisième ordre, le gain de conversion, la figure de bruit simple bande et la dynamique libre d'interférence. Les performances en figure de bruit et en gain sont inférieures 6dB à 1GHz à celles obtenues à 430MHz en raison du pôle interne (HF_1 , HF_2). Ces résultats sont également résumés dans le tableau Tab. 5.2.

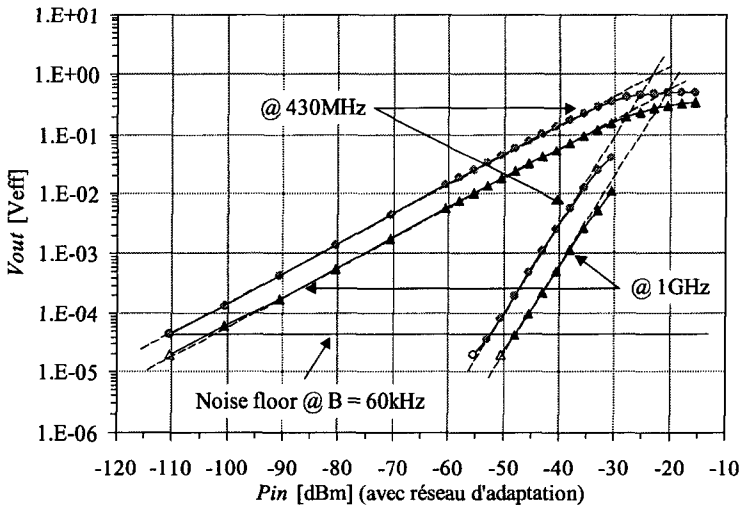


FIG. 5.6 – Gain, point de compression, point d'intersection du troisième ordre et niveau de bruit pour un circuit à amplification en tension.

	Simulé à 430MHz	Mesuré à 430MHz	Mesuré à 1GHz
Tension d'alimentation	1 - 2.0V	1.3 - 2.0V	1.3 - 2.0V
Impédance d'entrée différentielle	1.7k Ω	1.5k Ω	1.5k Ω
Gain en tension	18dB	15dB	9dB
Niveau de bruit @ B=60kHz	-111dBm	-109dBm	-103dBm
NF DSB @ 500kHz	12dB	14dB	20dB
IIP3	-30dBm	-27dBm	-21dBm
SFDR @ B=60kHz	54dB	55dB	55dB
Fréq. de coupure du bruit 1/f	200kHz	300kHz	300kHz
Bande passante de sortie	1MHz	1MHz	1MHz
Isolation entre LO-RF		$\geq 50\text{dB}$	

TAB. 5.2 – Récapitulation des performances pour $250\mu\text{A}$ de consommation et $V_{LOp} = 100\text{mV}$ crête, dans le cas d'un amplificateur en tension.

Pour une tension d'alimentation minimale de 1.3V, la figure de bruit DSB totale est de 14dB à 430MHz et la dynamique libre d'interférence est de 55dB. Les capacités parasites ayant été sous-évaluées lors de la procédure de conception, les performances, en terme de gain en tension et figure de bruit, ne sont pas tout à fait celles attendues. De plus, le bruit 1/f corrompt la figure de bruit pour des fréquences inférieures à 300kHz. La figure de bruit s'élève à 17dB à 100kHz. Ce problème est lié au trop faible courant de polarisation du mélangeur. En effet, comme le démontre le chapitre 4, la bande passante du mélangeur doit être importante pour permettre une meilleure réjection du bruit 1/f. C'est à la suite de la mesure de ce premier circuit que l'étude de la réjection du bruit 1/f a été décidée afin d'améliorer les performances d'un récepteur en conversion directe. Étant donné que les mécanismes expliquant ce phénomène n'existaient pas encore dans la littérature à ce moment là.

5.2.2 Amplificateur-mélangeur à gain en courant

Description du fonctionnement

Cette section décrit un amplificateur-mélangeur utilisant un seul noeud interne haute fréquence et amplifiant le signal en courant [60]. Afin de simplifier la représentation, la Fig. 5.7 présente la structure unipolaire bien qu'une structure différentielle aie été intégrée. Cependant, ce circuit peut être utilisé pour des signaux d'entrée à la fois unipolaires et différentiels, en additionnant correctement les courants de sortie des transistors M_4 - M_5 ou

M_6 - M_9 des deux demi-structures. Dans tous les cas, le signal de sortie est quant à lui différentiel.

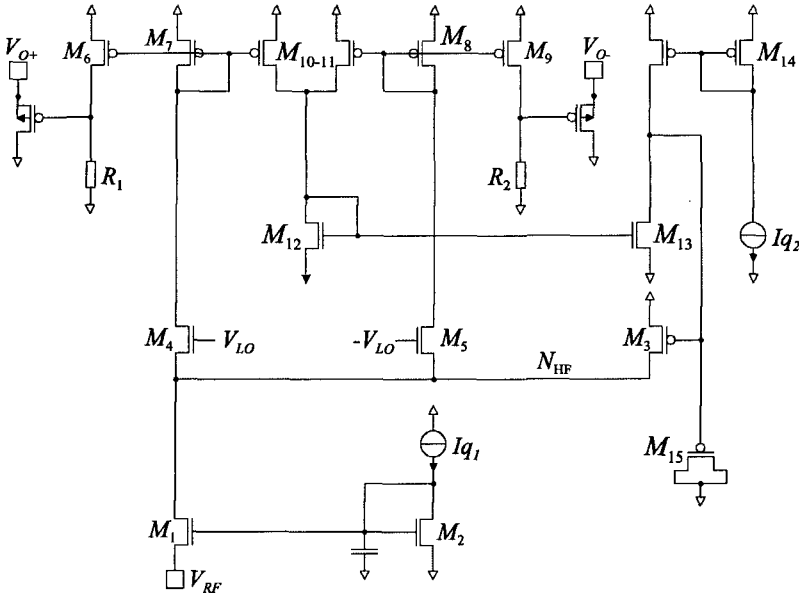


FIG. 5.7 – Amplificateur-mélangeur unipolaire à gain en courant.

Le LNA est un amplificateur à grille commune (M_1). Cette configuration permet un niveau d'impédance relativement bas et simplifie son réseau d'adaptation. Son drain est chargé par la conductance de source des transistors M_4 - M_5 et la capacité totale du noeud N_{HF} . Les miroirs M_6 - M_7 et M_8 - M_9 convertissent les courants de sortie du mélangeur en tensions à travers les résistances R_1 - R_2 . Le signal en bande de base sort du circuit intégré à l'aide de deux transistors PMOS à caissons séparés utilisés comme suiveurs avec une bande passante de sortie supérieure à 7MHz. Le courant moyen à travers M_4 et M_5 est comparé à I_{q2} pour contrôler le point de fonctionnement du mélangeur. La bande passante de la boucle de contrôle est d'environ 2MHz de manière à assurer la stabilité et de n'ajouter aucun bruit à 430MHz. Pour des raisons de consommation, la tension appliquée par le LO est de $V_{LO} = 150\text{mVp}$, ce qui conduit à polariser M_4 - M_5 près de la faible inversion.

En plus du fait d'augmenter l'isolation entre le LO et l'entrée V_{RF} , le transistor M_1 doit produire un gain en tension G_{LNA} suffisant pour réduire

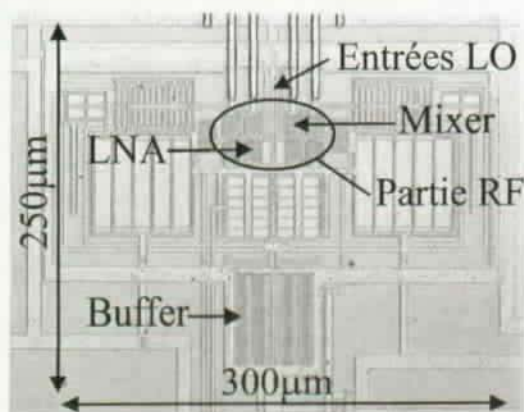


FIG. 5.8 – Photo du die, la partie haute fréquence (RF) du circuit est dessinée de façon à diminuer les capacités parasites du noeud N_{HF} .

l'effet du bruit des transistors M_4 à M_9 :

$$G_{LNA} = \frac{V_{N_{HF}}}{V_{RF}} = \frac{g_{m_{s1}}}{2 \cdot \bar{g}_{ms4}} \cdot \frac{1}{1 + j \frac{\omega}{\omega_c}} \quad \text{avec} \quad \omega_c = 2 \cdot \frac{\bar{g}_{ms4}}{C_{HF}} \quad (5.20)$$

\bar{g}_{ms4} est la transconductance de source moyenne des transistors M_4 et M_5 et ω_c est la pulsation de coupure au noeud N_{HF} (Equ. 4.60). La seule possibilité pour augmenter le gain en tension $G_{LNA} > 1$ est d'augmenter le courant qui traverse M_1 . C'est pour cette raison que le transistor M_3 est utilisé. Il réduit la figure de bruit et le bruit $1/f$ des transistors de hachage M_4 et M_5 . Toutefois, l'ajout de M_3 dégrade le point de compression et la dynamique du circuit. Le rapport I_{DM3}/I_{DM1} est donc un compromis entre la consommation de puissance, la dynamique et la figure de bruit. Dans ce design, $I_{DM3} = 0.85 \cdot I_{DM1}$ et I_{DM1} vaut $100\mu A$. Il faut noter que M_3 doit être relativement large, la faible tension d'alimentation limitant son facteur d'inversion à 15. C'est pour cette raison que les capacités d'overlap et drain-bulk de M_3 participent de manière significative à la charge capacitive du noeud N_{HF} , ce qui diminue la fréquence de coupure ω_c et augmente la figure de bruit.

Les équations ci-dessous résument les performances de ce circuit. Soient le gain en tension $G_u = V_{Out}/V_{RF}$, le facteur de bruit F estimé lors de l'adaptation en puissance, ainsi que le point de compression P_{-1dB} en puis-

sance :

$$G_u = \frac{2}{\pi} \cdot \frac{g_{ms1} \cdot R_1}{1 + j \frac{\omega}{\omega_c}} \quad (5.21)$$

$$F = 1 + \xi_1 + \xi_3 \cdot \frac{g_{ms3}}{g_{ms1}} + \left(\frac{\pi}{2} \cdot \left(1 + j \frac{\omega}{\omega_c} \right) \right)^2 \cdot \left(2\xi_4 \cdot \frac{g_{ms4}}{g_{ms1}} \cdot \frac{nU_T}{\pi \hat{V}_{LO}} + 4\xi_6 \cdot \frac{g_{ms6}}{g_{ms1}} + \frac{2}{g_{ms1}R_1} \right) \quad (5.22)$$

$$P_{-1dB} = \frac{2}{g_{ms1}} \cdot \left(\frac{I_{DM1} - I_{DM3}}{1 + j \frac{\omega}{\omega_c}} \right)^2 \quad (5.23)$$

Dans (5.21), le facteur $2/\pi$ suppose que le courant est instantanément commuté entre M_4 et M_5 . La fréquence de coupure due au pôle du noeud N_{HF} est de $f_c = 320\text{MHz}$. La charge capacitive est répartie uniformément entre M_1 (25%), M_3 (25%), M_4 - M_5 (25%) et les lignes de métal (25%), la capacité totale en ce noeud valant environ 200fF.

Éléments	Valeur	W/L en μm	IC	Courant
M_1	-	40/0.5	4.8	$100\mu\text{A}$
M_3	-	40/1	13	$85\mu\text{A}$
M_4 - M_5	-	20/0.5	0.7	$7.5\mu\text{A}$
M_6 - M_9	-	50/1.8	7	$7.5\mu\text{A}$
M_{10} - M_{11}	-	10/3.6	7	$0.75\mu\text{A}$
M_{12} - M_{13}	-	10/10	3	$0.75\mu\text{A}$
M_{14}	-	10/10	1.9	$0.75\mu\text{A}$
M_{15}	-	50/50	-	-
R_1 - R_2	$50k\Omega$	-	-	$15\mu\text{A}$

TAB. 5.3 – Valeurs, dimensions, facteur d'inversion et courant de polarisation des principaux éléments du circuit proposé à la Fig. 5.7.

Le Tab. 5.3 récapitule les dimensions des différents transistors. M_1 est en inversion modérée afin de présenter une faible impédance d'entrée (750Ω) et de garantir un gain en courant suffisant à la fréquence de travail. La longueur de M_3 est de $1\mu\text{m}$, ce qui réduit l'effet Early du transistor PMOS

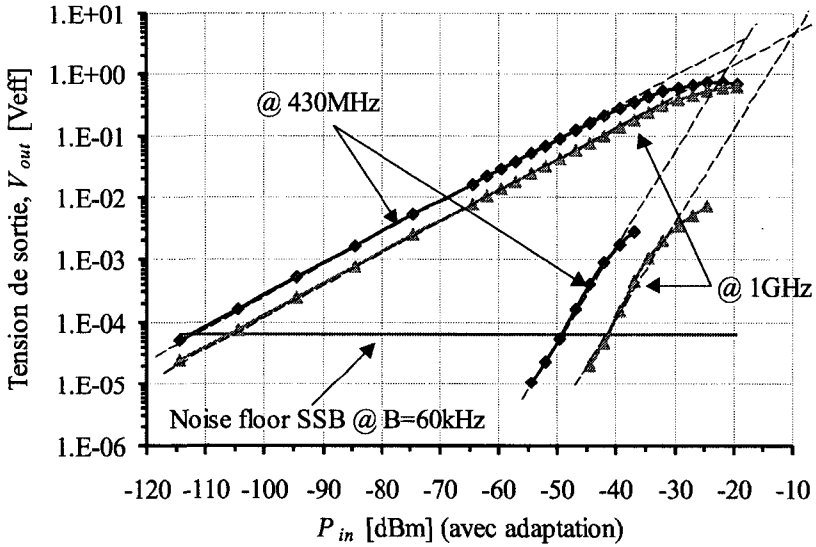


FIG. 5.9 – Gain, point de compression, point d'intersection du troisième ordre et niveau de bruit pour un circuit à amplification en courant.

($V_E = 10V$) mais augmente sa charge capacitive. M_7 à M_{11} sont en inversion modérée afin d'éviter que les transistors de hachage entrent en conduction. M_{12} à M_{14} sont en aussi forte inversion que possible pour améliorer le fonctionnement des miroirs de courant. Le gain en tension G_u est calculé à 28dB, tandis que la figure de bruit double bande est calculée à $NF_{DSB} = 6.5\text{dB}$. Pour conclure, le transistor M_{15} est utilisé comme capacité MOS et sert à fixer le pôle dominant de la boucle de contre-réaction à environ 2MHz.

Caractérisation

Deux demi-structures (Fig. 5.7) ont été intégrées. La Fig. 5.9 montre le point d'intersection du troisième ordre, le gain de conversion, le niveau de bruit SSB à la sortie ainsi que la dynamique libre d'interférence. Les performances en figure de bruit et en gain sont inférieures de 6dB à 1GHz à celles obtenues à 430MHz en raison du pôle interne. Ces résultats sont également résumés dans le tableau Tab. 5.4.

Pour une tension d'alimentation de seulement 1.1V et une consommation de courant de $200\mu\text{A}$, les caractéristiques de ce doublet LNA-mélangeur

	Simulé à 430MHz	Mesuré à 430MHz	Mesuré à 1GHz
Tension d'alimentation	1 - 3.0V	1.1 - 3.0V	1.1 - 3.0V
Impédance d'entrée différentielle	1.5kΩ	1.5kΩ	1.5kΩ
Gain en tension	29dB	27dB	20dB
Niveau de bruit @ B=60kHz	-115dBm	-114dBm	-110dBm
NF DSB @ 500kHz	8dB	9dB	16dB
IIP3	-15dBm	-18dBm	-10dBm
SFDR @ B=60kHz	65dB	64dB	64dB
Fréq. de coupure du bruit 1/f	100kHz	80kHz	110kHz
Bande passante de sortie	7MHz	7MHz	7MHz
Isolation entre LO-RF		≥ 50dB	

TAB. 5.4 – Récapitulation des performances pour 200μA de consommation et 150mV de tension crête appliquée par l'oscillateur local pour la structure à amplificateur en courant.

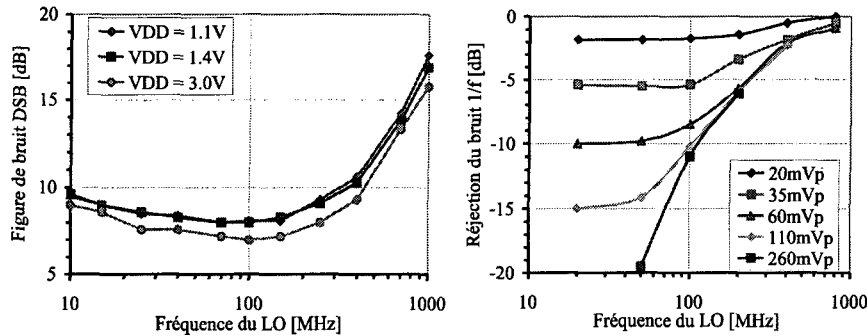


FIG. 5.10 – a) Figure de bruit DSB pour différentes tensions d'alimentation et des fréquences comprises entre 10MHz et 1GHz. b) Réjection du bruit 1/f pour différentes fréquences et amplitudes du LO.

correspondent tout à fait au cahier des charges. L'impédance d'entrée est relativement faible, le gain en tension est important et la dynamique libre d'interférence (SFDR) est de plus de 64dB.

Comme le démontre la Fig. 5.10a), la figure de bruit double bande est une fonction de la fréquence et de la tension d'alimentation. La figure de

bruit DSB est inférieure à 10dB pour des fréquences jusqu'à 400MHz et pour des tensions d'alimentation comprises entre 1.1V et 3V. L'augmentation de la figure de bruit en dessous de 50MHz est due à la contribution de la boucle de régulation du point de polarisation. Malheureusement, le bruit $1/f$ n'est pas complètement rejeté en haute fréquence. La Fig. 5.10b) décrit la réjection du bruit $1/f$ à différentes fréquences et pour différentes tensions crêtes appliquées par le LO. Par exemple, pour une amplitude de 110mVp appliquée par le LO, la réjection de bruit $1/f$ est de 15dB à 10MHz ; cette réjection n'est plus que de 2dB à 1GHz.

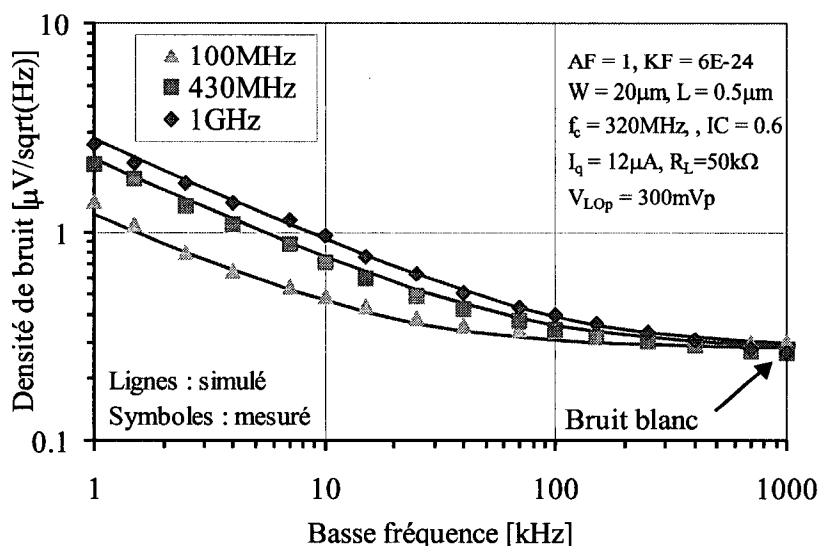


FIG. 5.11 – Niveau de bruit $1/f$ en sortie du circuit. Les courbes calculées le sont avec le modèle évalué à la section 4.3.9.

La Fig. 5.11 représente la densité spectrale de bruit en tension à la sortie du circuit, pour des fréquences comprises entre 1kHz et 1MHz. Le paramètre utilisé est la fréquence de l'oscillateur local (100MHz, 430MHz et 1GHz). Son amplitude est de 300mVp, ce qui assure une diminution d'environ 20dB du bruit $1/f$ lorsque sa fréquence est inférieure à 20MHz. Les courbes simulées prennent en compte à la fois le bruit blanc, le bruit $1/f$ ainsi que les effets du pôle interne (voir section 4.3.9). Ce modèle permet donc une très bonne similitude entre les valeurs mesurées et simulées.

5.2.3 Mélangeur à transistors MOS en conduction

Description du fonctionnement

La figure de bruit du système étant relativement élevée, des structures sans aucun pôle interne, c'est-à-dire avec mélangeur mais sans LNA, ont également été étudiées afin de réduire la consommation. Cette section présente un mélangeur différentiel sans aucun noeud interne et utilisant les transistors MOS M_1 à M_4 en conduction et en forte inversion (voir Fig. 5.12).

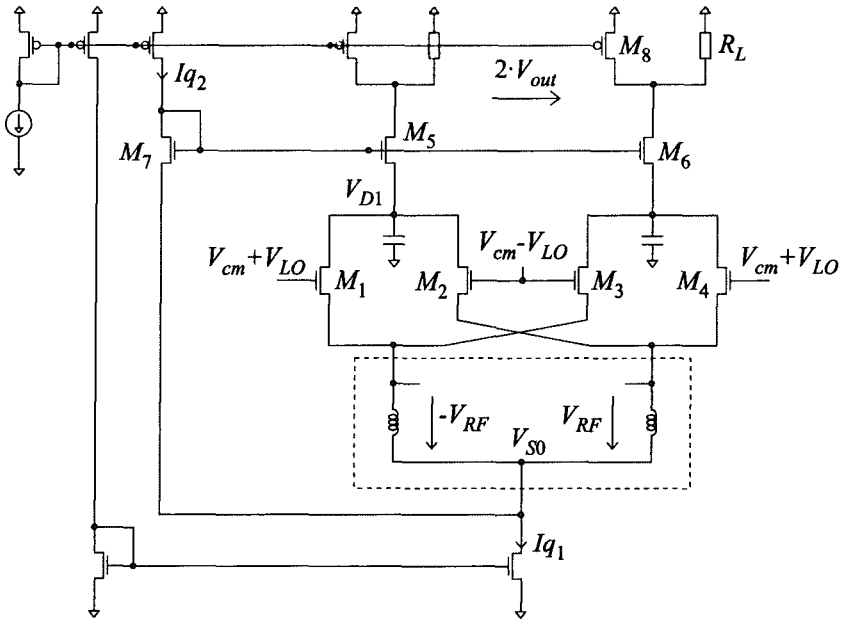


FIG. 5.12 – Mélangeur à transistors MOS en conduction.

Cette structure a l'avantage d'être très compacte. Le signal d'entrée différentiel V_{RF} est appliqué directement après le circuit d'adaptation, sur la source des transistors. L'oscillateur local est appliqué sur les grilles. Les transistors M_5 et M_6 sont utilisés comme amplificateur à grille commune et forcent les transistors du mélangeur en forte inversion. Leur courant de polarisation, contrôlé par deux sources de courant, vaut $(I_{q1} - I_{q2})/4$. La tension de grille de M_5 et M_6 est fixée par une boucle de contre-réaction (M_7). La tension drain-source des transistors de hachage est donc imposée. La charge de sortie est une source de courant en parallèle à une résistance.

Il doit être noté que le mode commun d'entrée de cette structure est flottant, donc contrôlé par celui appliqué par l'oscillateur local. Cette solution évite un couplage capacitif entre le LO et l'entrée du mélangeur. Les capacités métal-métal à disposition ayant une capacité parasite vers la masse d'environ 30%, le signal du LO serait atténué de 40 à 50% avec un couplage de ce type, ce qui augmenterait les contraintes de consommation du LO. Le couplage capacitif du réseau d'adaptation sur la source des transistors permet de s'affranchir du mode commun du générateur ou de l'antenne. Un autre avantage de cette structure doublement différentielle est l'annulation au premier ordre du signal du LO sur l'entrée RF. Pour terminer, grâce à l'extrême simplicité de ce circuit, les caractéristiques du mélangeur restent identiques indépendamment de la fréquence de travail jusqu'au moment où les effets non-quasi statiques des transistors apparaissent.

L'équation du courant à travers les transistors en conduction M_1 à M_4 , supposés identiques, est donnée lorsque $V_{Gi} \geq V_{T0}$:

$$I_{Di} = n \cdot \beta \cdot V_{DSi} \cdot \left(\frac{V_{Gi} - V_{T0}}{n} - \frac{V_{DSi} + V_{Si}}{2} \right) \quad , \quad i = 1..4 \quad (5.24)$$

où V_{DSi} est la tension drain-source des transistors M_1 à M_4 , V_{Di} , V_{Si} , V_{Gi} et V_{T0} étant leurs tensions de drain, de source, de grille et de pincement, tandis que n et β sont leurs facteurs de pente et de transconductance. En combinant ces équations pour les transistors M_1 et M_2 , les résultats intermédiaires suivants sont obtenus :

$$\begin{aligned} I_{D1} + I_{D2} &= 2 \cdot \left(V_{RF} \cdot V_{LO} + \frac{n}{2} \cdot V_{RF}^2 \right) \\ &+ 2 \cdot (V_{DS0} + \Delta V_D) \cdot g_{DS} \end{aligned} \quad (5.25)$$

$$g_{DS} = n \cdot \beta \cdot \left(\frac{V_{cm} - V_{T0}}{n} - \frac{V_{D0} + \Delta V_D + V_{S0}}{2} \right) \quad (5.26)$$

$$V_{D1} = V_{D2} = V_{D0} + \Delta V_D \quad \text{et} \quad V_{LOp} \leq V_{cm} + V_{T0} \quad (5.27)$$

V_{RF} et $V_{LO} = V_{LOp} \cdot \cos(\omega t)$ sont les signaux unipolaires appliqués sur l'entrée RF et sur l'oscillateur local. V_{cm} est le mode commun du LO, V_{DS0} , V_{D0} et V_{S0} étant les tensions au point de polarisation. Le premier terme de l'Equ. (5.25) représente le signal mélangé désiré tandis que le second terme peut être calculé approximativement par la relation :

$$g_{DS} \cong \frac{I_{q1} - I_{q2}}{4 \cdot V_{DS0}} \quad (5.28)$$

Les termes indésirables du produit de multiplication tels que V_{RF}^2 sont atténués grâce à la structure différentielle, la seconde harmonique étant de plus filtrée.

Les transconductances de source des transistors M_5 et M_6 étant finies, le gain en courant est dégradé proportionnellement au rapport g_{DS}/g_{ms5} , avec $g_{ms5} = I_{D5}/U_T$ dans le meilleur des cas pour une polarisation en faible inversion. Le gain de conversion petits signaux ainsi que le facteur de bruit F à l'adaptation en puissance peuvent donc être évalués pour $V_{LOp} \leq V_{cm} - V_{T0}$. Les équations ci-dessous négligent le bruit de la charge résistive, le gain en tension étant considéré comme suffisamment grand.

$$G_u = \frac{\beta \cdot R_L \cdot V_{LOp}}{1 + \frac{2 \cdot g_{DS}}{g_{ms5}}} \cong \frac{\beta \cdot R_L \cdot V_{LOp}}{1 + \frac{U_T}{V_{DS0}}} \quad (5.29)$$

$$F \cong 2 + \left(\frac{g_{DS}}{\beta \cdot V_{LOp}} \right)^2 \left(2 + 4\xi_5 \frac{g_{DS}}{g_{ms5}} + \xi_8 \frac{g_{ms8}}{g_{DS}} \left(1 + \frac{U_T}{V_{DS0}} \right)^2 \right) \quad (5.30)$$

Pour $V_{LOp} \gg V_{cm} - V_{T0}$, le gain en tension maximal ainsi que le facteur de bruit minimal F_{asym} sont donnés par :

$$G_{u,\text{max}} \cong \frac{4}{\pi} \cdot \frac{R_L \cdot g_{DS}}{1 + \frac{U_T}{V_{DS0}}} \quad (5.31)$$

$$F_{\text{asym}} \cong 2 + \left(\frac{\pi}{4} \right)^2 \cdot \left(2\xi_1 + 4\xi_5 \frac{g_{DS}}{g_{ms5}} + \xi_8 \frac{g_{ms8}}{g_{DS}} \left(1 + \frac{U_T}{V_{DS0}} \right)^2 \right) \quad (5.32)$$

Ce circuit a été intégré afin de caractériser un oscillateur en anneau fournissant deux signaux différentiels en quadrature. Le but était de charger au minimal les sorties du LO, de caractériser les différences d'amplitude et de phase des deux sorties I et Q de même que le bruit de phase en bande de base [61]. Les contraintes consistaient à garantir une tension d'alimentation

Éléments	Valeur	W/L en μm	IC	Courant
M_1 - M_4	-	10/0.5	0.7	$10\mu\text{A}$
M_5 - M_6	-	1000/2	0.15	$20\mu\text{A}$
M_7	-	250/2	0.3	$10\mu\text{A}$
M_8	-	300/5	4	$15\mu\text{A}$
R_L	$50k\Omega$	-	-	$5\mu\text{A}$

TAB. 5.5 – Valeur, dimensions, facteur d'inversion et courant de polarisation des principaux éléments d'un mélangeur utilisant des transistors en conduction.

inférieure à 1V et une charge capacitive inférieure à 40fF sur chaque entrée. De plus, pour une tension crête appliquée par le LO inférieur à 250mVp le taux de distorsion devait être inférieur à 1%.

Le Tab. 5.5 récapitule les courants de polarisation ainsi que les dimensions des différents transistors. Le courant de polarisation I_{q1} est de $50\mu\text{A}$ et I_{q2} vaut $10\mu\text{A}$. Les transistors M_1 à M_4 sont en forte inversion, de longueur minimale et présentent une charge capacitive d'entrée de seulement 20fF chacun. M_5 et M_6 sont en faible inversion afin d'obtenir une transconductance de source maximale à un courant donné. Leur surface de $2000\mu\text{m}^2$ permet de garantir une différence entre la tension drain-source des transistors du mélangeur inférieure à 1mV. Leur longueur est suffisante pour éviter les effets du "Reverse Short Channel Effect" (RSCE). Le transistor M_7 quant à lui est également en faible inversion, la tension V_{DS0} valant :

$$V_{DS0} \cong U_T \cdot \ln \left(\frac{I_{D7}}{I_{D5}} \cdot \frac{W_5}{L_5} \cdot \frac{L_7}{W_7} \right) \cong U_T \cdot \ln(2) \cong 17\text{mV} \quad (5.33)$$

Le transistor M_8 est en forte inversion, tandis que la résistance R_L est choisie suffisamment grande pour atteindre un gain supérieur à 20dB. Le gain en tension estimé maximal est de 23dB, tandis que la figure de bruit DSB minimale est de 9dB.

Caractérisation

La Fig. 5.13 représente le point d'intersection du troisième ordre, le gain de conversion, le niveau de bruit SSB ainsi que la dynamique libre d'interférence. Les caractéristiques obtenues sont les mêmes à 430MHz et à 1GHz, les effets non-quasi statiques n'apparaissant pas encore. Les petites différences entre les deux courbes proviennent de la difficulté d'appliquer des signaux d'amplitudes identiques sans résonance des circuits d'adaptation.

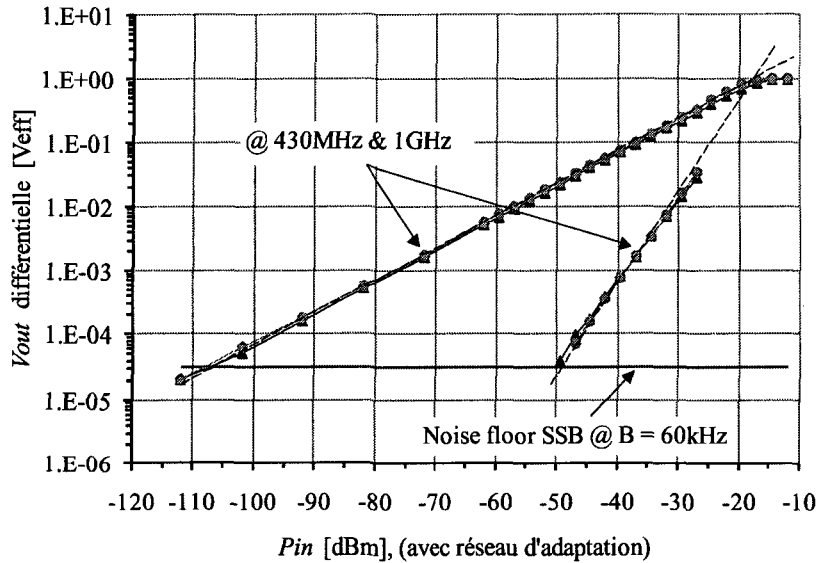


FIG. 5.13 – Gain, point de compression, point d’intersection du troisième ordre et niveau de bruit pour un circuit à transistors MOS en conduction.

	Simulé à 430MHz	Mesuré à 430MHz	Mesuré à 1GHz
Tension d’alimentation	1 - 3.0V	1 - 3.0V	1 - 3.0V
Impédance d’entrée différentielle	1kΩ	1.2kΩ	1.2kΩ
Gain en tension	14dB	15dB	15dB
Niveau de bruit @ B=60kHz	-106dBm	-105dBm	-105dBm
NF DSB @ 500kHz	18dB	18dB	18dB
IIP3	-17dBm	-18dBm	-18dBm
SFDR @ B=60kHz	58dB	58dB	58dB
Fréq. de coupure du bruit 1/f	100kHz	100kHz	100kHz
Isolation entre LO-RF		≥ 42dB	

TAB. 5.6 – Performances pour 50μA de consommation, 100mV de tension crête appliquée par le LO pour un mélangeur à transistors en conduction.

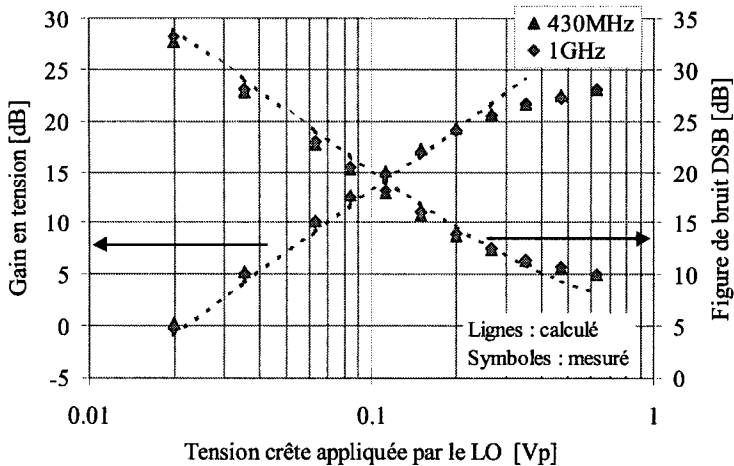


FIG. 5.14 – Gain en tension et figure de bruit DSB pour différentes amplitudes crêtes appliquées par l'oscillateur local à 430MHz et 1GHz. Les courbes sont calculées à l'aide des équations (5.29) et (5.30)

Le Tab. 5.6 résume les principaux résultats obtenus pour une tension crête de 100mV de l'oscillateur local et une consommation totale de seulement 50 μ A. La dynamique libre d'interférence atteint 58dB pour une figure de bruit SSB de 18dB et une fréquence de coupure du bruit 1/f de 100kHz. La Fig. 5.14 présente le gain en tension ainsi que la figure de bruit DSB à 430MHz et à 1GHz pour différentes amplitudes crêtes de l'oscillateur local. Il est évident que ce circuit n'a pas été conçu pour minimiser la tension du LO nécessaire pour obtenir un gain en tension maximal. Le but est d'obtenir une bonne linéarité depuis l'entrée du LO afin de caractériser les signaux générés sur le circuit intégré dans un oscillateur en anneau. Cependant, pour des amplitudes du LO de 700mVp, le gain en tension s'élève à 23dB pour une figure de bruit DSB de 10dB.

L'isolation entre l'oscillateur local et le port d'entrée n'est pas parfaite. Cependant, la Fig. 5.15a) montre une isolation supérieure à 42dB entre le LO et l'entrée RF. Pour une tension de 100mV sur le LO, la puissance rayonnée est donc d'environ -45dBm. La Fig. 5.15b) décrit l'évolution du point de polarisation à la sortie du mélangeur en fonction de la puissance d'entrée P_{in} .

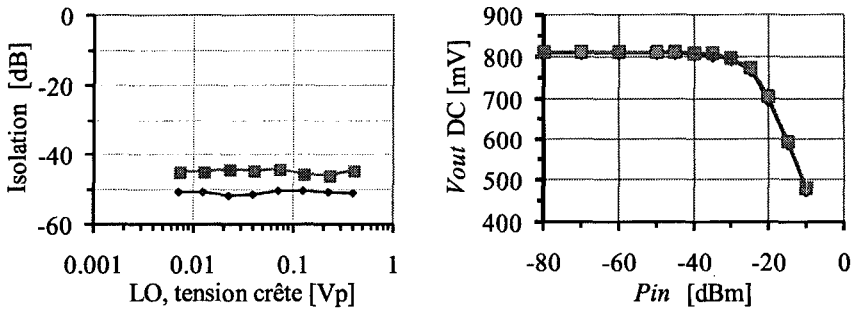


FIG. 5.15 – a) Isolation entre le LO et l'entrée RF pour différentes amplitudes du LO. b) Effet des distorsions sur le point de polarisation V_{RL} .

5.3 Conclusions

Une première partie de ce chapitre a présenté les contraintes d'un amplificateur-mélangeur à très faible consommation. Un poids important a été accordé à l'étude des différentes topologies permettant d'amener le signal depuis l'antenne dans le circuit intégré. Le but consiste à minimiser le nombre de composants externes sans ajouter un asservissement de leur valeur. Il a été démontré que des changements d'impédance d'un rapport vingt sont possibles à l'aide de composants passifs standards (voir Equ. 5.15). Le niveau d'impédance à l'entrée du circuit intégré peut être de l'ordre du $k\Omega$ et ce sans détruire la dynamique libre d'interférence du système (voir Tab. 5.2, 5.4 et 5.6). Une augmentation du niveau d'impédance d'entrée au-dessus du $k\Omega$ va donc se confronter à une diminution de la SFDR tout en augmentant en conséquence les contraintes sur la tolérance des composants.

Dans une seconde partie, trois types d'amplificateur-mélangeur ont été décrits et caractérisés.

1. La première structure, un amplificateur en tension suivi par un étage de mélangeur, a démontré la faisabilité de ce type de circuit en technologie digitale CMOS $0.5\mu\text{m}$, pour une consommation de $250\mu\text{A}$ et pour des tensions d'alimentation proches de 1V. Cependant, la bande passante du mélangeur n'étant pas suffisante pour permettre une bonne réjection du bruit $1/f$, cette solution n'a pas été retenue.
2. Le deuxième circuit est un amplificateur en courant incorporant un

mélangeur. Cette structure différentielle utilise seulement deux noeuds haute fréquence et ses caractéristiques correspondent tout à fait au cahier des charges d'un récepteur courte distance à très faible consommation. Ces principales caractéristiques sont :

- une tension d'alimentation proche de 1V,
- une consommation totale de $200\mu\text{A}$,
- une figure de bruit DSB de 9dB,
- une fréquence de coupure du bruit $1/f$ inférieure à 80kHz,
- une impédance d'entrée différentielle de $1.5\text{k}\Omega$,
- et une SFDR de 64dB.

Une version dérivée de cette structure a été utilisée dans le récepteur complet. Elle sera présentée pour des raisons de cohérence au chapitre 7.

3. La troisième structure est un circuit sans noeud interne haute fréquence utilisant des transistors MOS en conduction. Ce circuit fonctionne sous de très faibles tensions d'alimentation et consomme seulement $50\mu\text{A}$. Malgré une suppression au premier ordre des effets de couplage du LO sur l'antenne (42dB d'atténuation), l'émission d'un signal de -45dBm sur cette dernière est trop importante. C'est pour cette raison que ce circuit est proposé comme sonde active afin de caractériser des signaux générés sur le circuit intégré. Son utilisation, lors de la caractérisation des signaux I-Q d'un oscillateur en anneau, a été réalisée avec succès. Pour simplifier la mesure du bruit de phase, une augmentation de la bande passante de sortie serait cependant nécessaire.

Pour diminuer la densité spectrale de bruit $1/f$, l'utilisation de transistor PMOS a été envisagée. La mobilité des trous est 4 fois plus faible que celle des électrons dans la technologie considérée. Par conséquent, la fréquence de coupure f_T est également divisée par quatre. Cette solution peut être intéressante mais seulement pour des fréquences de travail d'environ 100MHz. Dans ce cas, des caractéristiques similaires à celles mesurées pour l'amplificateur en courant ont été obtenues (Sec. 5.2.2).

Pour conclure, les mesures d'isolation entre le LO et l'entrée RF des structures à amplificateur de tension et de courant de 50dB sont à prendre avec circonspection. En effet, une part importante du signal mesuré est due au rayonnement du générateur du LO directement sur l'entrée RF. Dans un cas réel, c'est-à-dire avec un oscillateur LC intégré dont seul l'inductance est externe, la puissance rayonnée est inférieure à -55dBm pour des amplitudes crête de 100mVp.

Chapitre 6

Modulateur FSK et amplificateur de puissance

Les applications travaillant dans les bandes de fréquence ISM demandent des modulateurs fonctionnant sous très faible tension d'alimentation ($\leq 1.6V$). Dans ce chapitre est présenté un émetteur FSK réalisé en technologie standard $0.5\mu m$ CMOS. Ce chapitre est scindé en quatre parties. La première décrit les types de modulateurs possibles pour réaliser une modulation FSK à phase continue. Dans la seconde section, la puissance de sortie, le rendement théorique, l'utilisation d'amplificateur classe A, B C ou D, l'effet de pertes dans l'étage final et le réseau d'adaptation de sortie sont discutés.

La troisième section décrit deux amplificateurs de puissance destinés aux bandes ISM et dont les pré-amplificateurs sont conçus sans éléments inductifs externes. La première structure, basée sur des paires différentielles, fournit une puissance de 4dBm sous 1.2V de tension d'alimentation et pour un rendement global de 15% [60]. La seconde, présentée en [64], est basée sur une chaîne d'inverseurs. Pour la même tension d'alimentation, une puissance de 10dBm et un rendement global de 38% ont été mesurés.

Pour terminer, la génération de signaux basse fréquence est décrite. La déviation de fréquence, son contrôle ainsi que la génération d'un spectre à phase continue sont présentés. Les mélangeurs haute fréquence à réjection d'image ainsi qu'un déphaseur polyphasé sont également détaillés.

6.1 Modulateur FSK

La réalisation d'un modulateur FSK à taux de modulation élevé permet la démodulation du signal par conversion directe et ce sans détruire la sensibilité du récepteur due à son bruit $1/f$ (voir Fig. 2.10). Il existe plusieurs manières de réaliser cette modulation.

6.1.1 Modulation par asservissement du VCO

La première solution consiste à dévier la fréquence instantanée de l'oscillateur local. Cela peut être réalisé de plusieurs manières :

1. Soit en changeant la fréquence de référence de l'oscillateur à quartz de la PLL. Cette solution est limitée, car la fréquence fondamentale d'un quartz peut varier au maximum de $\pm 50\text{ppm}$, ce qui limite la déviation de fréquence et le débit transmis.
2. Soit en utilisant un diviseur fractionnaire qui doit être à la fois rapide et posséder des pas fins tout en consommant peu.
3. Soit par variation de la charge capacitive de l'oscillateur local LC. Malheureusement, cette solution, qui est la plus simple, n'est pas applicable. En effet, les capacités variables qui offrent des facteurs de qualité suffisants (≥ 100) tout en travaillant sous des tensions d'alimentation faibles ($\leq 1\text{V}$), ne sont pas linéaires. La variation de capacité moyenne est supérieure à un facteur 2 dans ce type de dispositif [65],[66].

6.1.2 Modulation par mélangeur et suppression de la fréquence image

Cette solution est la plus souple (voir Fig. 6.1), même si elle est gourmande en énergie, car elle demande un oscillateur local fournissant des signaux en quadrature. En effet, la synthèse de fréquence de la porteuse et la génération de la déviation de fréquence sont dissociées. C'est pour cette raison que cette solution a été retenue. Les principaux inconvénients de ce type de modulateur sont brièvement décrits ci-dessous.

Mélangeurs à suppression de la fréquence image

La fréquence image doit être supprimée pour améliorer le rapport signal sur bruit après démodulation. Les signaux LO_I , LO_Q , LF_I , LF_Q ainsi que les mélangeurs doivent être bien appariés. En effet, toute erreur de

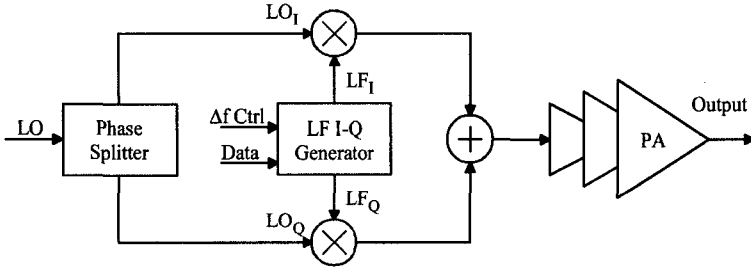


FIG. 6.1 – Schéma de principe d'une modulation à conversion d'image et réjection de la fréquence image [34].

phase ou d'amplitude entre les différents signaux empêche une réjection de la fréquence image (*IRR*, Image Rejection Ratio). Cette contrainte, pour des petites erreurs, peut être écrite de la manière suivante (voir également Equ. 2.9) :

$$IRR = \frac{\left(\frac{\Delta A_{LO}}{A_{LO}}\right)^2 + \left(\frac{\Delta A_{LF}}{A_{LF}}\right)^2 + \left(\frac{\Delta A_{Mix}}{A_{Mix}}\right)^2 + \Delta\phi_{LO}^2 + \Delta\phi_{LF}^2}{4} \quad (6.1)$$

où $\Delta A_{LO}/A_{LO}$ et $\Delta A_{LF}/A_{LF}$ représentent les erreurs relatives d'amplitude. $\Delta\phi_{LO}$ et $\Delta\phi_{LF}$ sont les erreurs de phase (en radian) entre deux signaux idéalement en quadrature. $\Delta A_{Mix}/A_{Mix}$ représente une erreur relative de gain entre les deux mélangeurs (les erreurs de phase des mélangeurs pouvant être négligées). Dans le cas d'une modulation FSK, une atténuation de 30dB de la fréquence image est suffisante, ce qui implique pour chaque erreur d'amplitude et de phase un écart type de 3% lorsque elles sont réparties uniformément.

Changement de fréquence à phase continue

Il est important d'obtenir un changement de fréquence à phase continue pour diminuer la largeur de bande occupée par le signal modulé (voir Fig. 6.2). Si cette condition est quasiment toujours réalisée lors de modulation par variation de la capacité de l'oscillateur local, ce n'est pas du tout le cas lors d'une modulation par mélangeur et suppression de la fréquence image. La génération des signaux basse fréquence en quadrature (LF_I , LF_Q), qui dépend des données, doit donc se faire de manière à garantir cette condition.

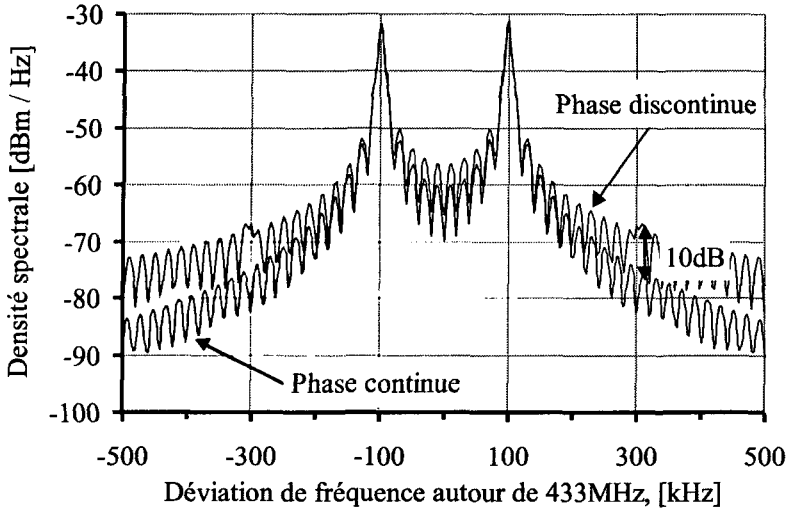


FIG. 6.2 – Simulations système d'un spectre à phase continue ou discontinue. Le signal modulé est pseudo-aléatoire, le débit est de 20kbits/s et la déviation de fréquence est de $\Delta f = \pm 100\text{kHz}$.

Faible taux d'harmoniques en bande de base

La pureté spectrale du générateur en bande de base est également primordiale. En effet, toute harmonique générée va être directement traduite en haute fréquence et corrompre le spectre modulé. L'harmonique 2 du signal basse fréquence LF doit être inférieure de 35dB par rapport à la fondamentale, tandis que l'harmonique 3 doit être rejetée d'environ 45dB (voir simulations de la Fig. 6.2). Si ces conditions sont respectées, le spectre modulé par un signal pseudo-aléatoire est identique à celui simulé ($IRR = 0$).

6.2 Étage de sortie, rappel théorique

Lors de l'utilisation d'une modulation FSK, la linéarité de l'étage de sortie de l'amplificateur de puissance n'est pas importante. De plus, afin d'augmenter le rendement de sortie et de faciliter les circuits d'adaptation, les étages de sortie sont en classe B, C ou D. Cette section rappelle le rendement de sortie et la puissance disponible en fonction du demi-angle de

conduction du transistor de puissance (voir Fig. 6.3). L'emploi d'un transistor en forte inversion attaqué par un signal sinusoïdal ou un signal carré ainsi que les effets d'une résistance série sont également analysés.

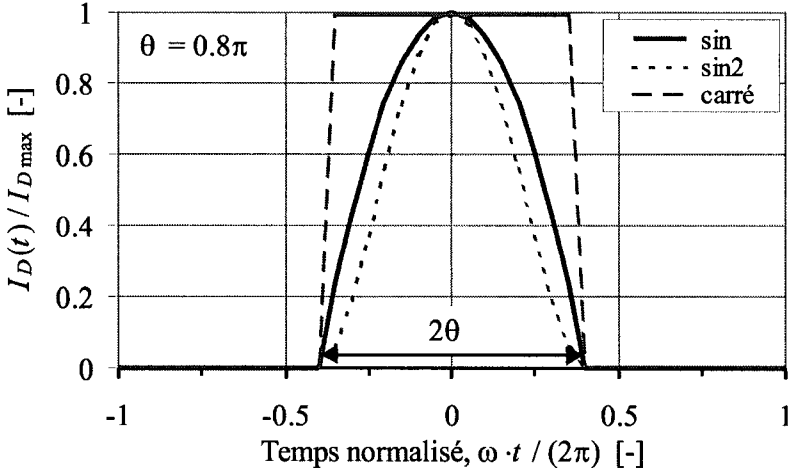


FIG. 6.3 – Forme d'onde normalisée au courant maximal. a) Le courant est une sinusoïde tronquée (sin). b) La tension de grille est sinusoïdale mais le transistor est en forte inversion (\sin^2). c) La tension de grille est carrée.

6.2.1 Courant sinusoïdal tronqué (sin)

Pour une tension de grille sinusoïdale et un amplificateur ayant une caractéristique linéaire par morceau entre la tension d'entrée et le courant de sortie on peut calculer la puissance de sortie et le rendement d'un amplificateur en classe C [67],[68]. Cette hypothèse revient à calculer approximativement le courant crête dans le transistor de puissance par une sinusoïde tronquée. En dessous d'une tension de seuil, le courant de sortie est nul, tandis qu'en dessus de cette tension le courant offre une forme sinusoïdale (voir Fig. 6.3). Le courant de sortie s'exprime alors par :

$$I_D(t) = I_{D\max} \cdot \frac{\cos(\omega t) - \cos(\Theta)}{1 - \cos(\Theta)} \quad \text{pour } \omega t \leq \Theta \quad (6.2)$$

où Θ est donné en radian et représente le demi-angle de conduction du transistor de sortie. $I_{D\max}$ est défini comme le courant maximal disponible

au drain du transistor. Pour un transistor MOS en forte inversion, dont la tension de source V_S est nulle et dont la tension de pincement maximale vaut $V_{P\max}$, on a :

$$I_{D\max} = \frac{n \cdot \beta}{2} \cdot V_{P\max}^2 \quad (6.3)$$

A l'aide de la transformée de Fourier unilatérale (voir Equ. A.6), le courant moyen $I_{D,0}$ ainsi que le courant crête $I_{D,1}$ de la fondamentale peuvent être calculés :

$$\frac{I_{D,0}}{I_{D\max}} = \frac{1}{\pi} \cdot \frac{\sin(\Theta) - \Theta \cdot \cos(\Theta)}{1 - \cos(\Theta)} \quad (6.4)$$

$$\frac{I_{D,1}}{I_{D\max}} = \frac{1}{2\pi} \cdot \frac{2\Theta - \sin(2\Theta)}{1 - \cos(\Theta)} \quad (6.5)$$

La puissance maximale de sortie P_{out} vaut $P_{out} = I_{D,1}^2 \cdot R_L / 2$ tandis que la puissance consommée totale vaut $P = I_{D,0} \cdot V_{DD}$. De plus, en admettant que la tension crête maximale sur la charge de sortie vaut V_{DD} , on obtient une condition pour la résistance de charge : $R_L = V_{DD} / I_{D,1}$. La puissance de sortie P_{out} et le rendement maximal η_{out} en fonction du demi-angle de conduction Θ prennent donc la forme suivante :

$$\eta_{out} = \frac{P_{out}}{P} = \frac{1}{2} \cdot \frac{I_{D,1}}{I_{D,0}} = \frac{1}{4} \cdot \frac{2\Theta - \sin(2\Theta)}{\sin(\Theta) - \Theta \cdot \cos(\Theta)} \quad (6.6)$$

$$P_{out} = V_{DD} \cdot \frac{I_{D,1}}{2} = \frac{V_{DD} \cdot I_{D\max}}{4\pi} \cdot \frac{2\Theta - \sin(2\Theta)}{1 - \cos(\Theta)} \quad (6.7)$$

Le rendement est maximal (voir Fig. 6.4) pour un angle Θ nul. Malheureusement, lorsque $\Theta \rightarrow 0$, la valeur crête du courant $I_{D,1}$ tend également vers 0. Cela implique, à puissance de sortie donnée, d'augmenter la taille du transistor de sortie afin que la pointe de courant instantanée soit suffisamment importante. La conséquence immédiate consiste en une charge exorbitante du transistor de sortie ainsi qu'en l'explosion de la consommation du pré-amplificateur.

Pour un demi-angle de conduction $\Theta \rightarrow \pi$, l'amplificateur est en classe A. Le rendement maximal chute à 50% et le courant normalisé $I_{D,1}$ tend vers $1/2$. Pour un angle $\Theta = \pi/2 \cong 1.57$, l'étage de sortie est en classe B. Le rendement est de $\eta_{out} = \pi/4 = 78.5\%$ et $I_{D,1} = 1/2 \cdot I_{D\max}$.

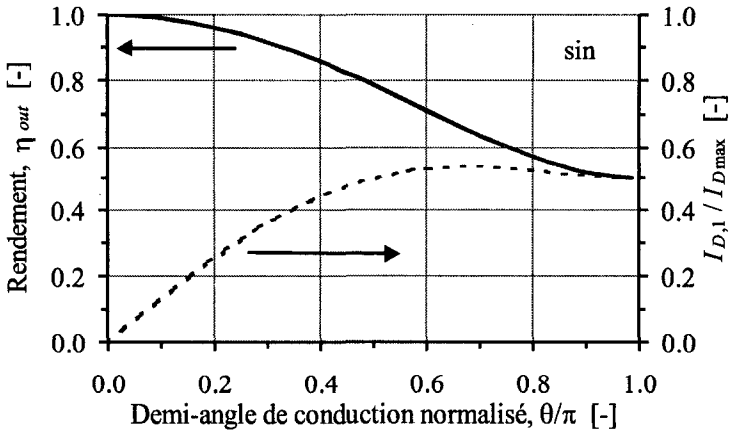


FIG. 6.4 – Rendement et courant instantané normalisé de la fondamentale d'un étage en fonction du demi-angle de conduction Θ (sinusoïde tronquée).

6.2.2 Courant quasi-sinusoïdal et tronqué (\sin^2)

Pour une tension de grille sinusoïdale et un transistor de puissance en forte inversion, le courant de sortie est une fonction quadratique de la tension d'entrée lorsque cette dernière dépasse la tension de pincement. Le courant de sortie n'est donc plus une sinusoïde tronquée (voir Fig. 6.3), mais il devient

$$I_D(t) = I_{D\max} \cdot \left(\frac{\cos(\omega t) - \cos(\Theta)}{1 - \cos(\Theta)} \right)^2 \quad \text{pour } \omega t \leq \Theta \quad (6.8)$$

Ce cas de figure apparaît lorsque la tension de grille du dernier étage est filtrée par un circuit LC accordé ou lorsque les étages pré-amplificateur ne possèdent pas assez de produit gain-bande passante pour distordre le signal d'entrée. Par analogie avec le paragraphe précédent, $I_{D,0}$ et $I_{D,1}$ peuvent être calculés :

$$\frac{I_{D,0}}{I_{D\max}} = \frac{1}{2\pi} \cdot \frac{\Theta + 2\Theta \cos^2(\Theta) - 3 \cos(\Theta) \sin(\Theta)}{(1 - \cos(\Theta))^2} \quad (6.9)$$

$$\frac{I_{D,1}}{I_{D\max}} = \frac{2}{3\pi} \cdot \frac{2 \sin(\Theta) + \cos^2(\Theta) \sin(\Theta) - 3\Theta \cos(\Theta)}{(1 - \cos(\Theta))^2} \quad (6.10)$$

De là, en appliquant les mêmes hypothèses que celles du paragraphe précédent, on obtient pour η_{out} et P_{out} :

$$\eta_{out} = \frac{2}{3} \cdot \frac{2 \sin(\Theta) + \cos^2(\Theta) \sin(\Theta) - 3\Theta \cos(\Theta)}{\Theta + 2\Theta \cos^2(\Theta) - 3 \cos(\Theta) \sin(\Theta)} \quad (6.11)$$

$$P_{out} = \frac{V_{DD} \cdot I_{Dmax}}{3\pi} \cdot \frac{2 \sin(\Theta) + \cos^2(\Theta) \sin(\Theta) - 3\Theta \cos(\Theta)}{(1 - \cos(\Theta))^2} \quad (6.12)$$

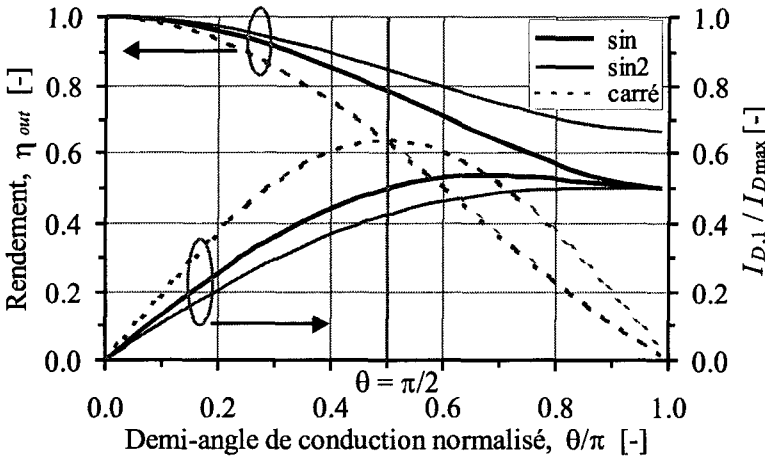


FIG. 6.5 – Rendements et courants instantanés normalisés de la fondamentale en fonction du demi-angle de conduction Θ . a) Le courant est une sinusoïde tronquée (sin). b) La tension de grille est sinusoïdale mais le transistor est en forte inversion (\sin^2). c) La tension de grille est carrée.

La Fig. 6.5 décrit le comportement du rendement ainsi que de la fondamentale du courant de sortie en fonction du demi-angle de conduction lorsqu'une tension sinusoïdale est appliquée sur la grille du transistor de sortie. Dû aux plus grandes non-linéarités du dispositif, le rendement est légèrement supérieur à celui obtenu précédemment. Par exemple, pour $\Theta \rightarrow \pi$, le rendement $\eta_{out} = 2/3$ et $I_{D,1} = I_{Dmax}/2$. Pour un demi-angle de conduction de $\Theta = \pi/2$, le rendement $\eta_{out} = 8/(3\pi) \cong 84.9\%$ et le courant $I_{D,1}/I_{Dmax} = 4/(3\pi) \cong 0.42$.

6.2.3 Tension de commande carrée

La tension de commande du transistor de sortie peut être calculée approximativement par un signal carré dans le cas où la chaîne de pré-amplificateur possède un produit gain-bande passante suffisant. A basse fréquence et pour des étages de pré-amplificateurs entièrement intégrés, cette hypothèse est réalisée. L'amplificateur est alors en classe D et l'on obtient pour $I_{D,0}$ et $I_{D,1}$ les résultats suivants :

$$\frac{I_{D,0}}{I_{D\max}} = \frac{\Theta}{\pi} \quad (6.13)$$

$$\frac{I_{D,1}}{I_{D\max}} = \frac{2}{\pi} \cdot \sin(\Theta) \quad (6.14)$$

Le rendement idéal et la puissance de sortie s'écrivent :

$$\eta_{out} = \frac{\sin(\Theta)}{\Theta} \quad (6.15)$$

$$P_{out} = V_{DD} \cdot I_{D\max} \cdot \frac{\sin(\Theta)}{\pi} \quad (6.16)$$

La puissance de sortie est maximale lorsque $\Theta = \pi/2$ et le rendement vaut $\eta_{out} = 2/\pi \cong 64\%$ (voir Fig. 6.5). Pour un demi-angle de conduction nul ou qui tend vers π , la puissance de sortie est nulle. Seul un demi-angle de conduction de $\pi/2$ est acceptable dans le cas d'un signal de grille carré.

6.2.4 Choix de l'angle de conduction

En conclusion, il est possible d'affirmer que le rendement et la puissance de sortie varient fortement en fonction du signal de grille appliqué. Comme aucun élément résonant n'est utilisé sur la grille du transistor de sortie, la tension de grille peut être sinusoïdale ou carrée, sa forme évoluant en fonction de la fréquence de travail de l'amplificateur et de la puissance de sortie.

Afin de garantir un niveau de puissance de sortie acceptable sans trop augmenter la charge capacitive interne, le demi-angle de conduction doit être d'environ $\Theta = \pi/2$. En effet, dans ce cas, le rendement théorique varie entre 64% et 85% tandis que le courant crête varie entre 42% et 64% du courant maximal. Pour terminer, il faut noter que les rendements théoriques calculés précédemment sont surestimés sous faible tension d'alimentation.

En effet, la tension crête maximale en sortie vaut $V_{DD} - V_{DSat}$, c'est à dire $\sim 150\text{mV}$ à 200mV de moins que le débattement de tension maximale. Sous 1V de tension d'alimentation le rendement de l'étage de sortie d'un étage classe B passe de 78.5% à 55% en raison de ce seul effet.

6.2.5 Effet d'une résistance série

Sous faible tension d'alimentation, la puissance de sortie est diminuée par la résistance en série avec la source du transistor de sortie (voir Fig 6.6). En effet, une chute de tension aux bornes de la résistance augmente la tension de source du transistor et diminue le courant instantané disponible.

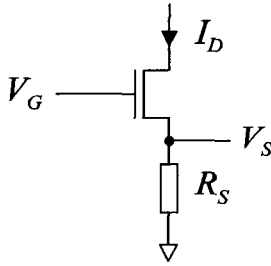


FIG. 6.6 – Résistance série R_S dans la source du transistor de sortie.

Pour un transistor en forte inversion, le courant de drain I_D se calcule aisément à l'aide de la tension de pincement V_P , de la tension de source V_S , du facteur de transconductance β , du facteur de pente n et de la résistance de source R_S .

$$I_D = \frac{n\beta}{2} \cdot (V_P - V_S)^2 \quad \text{avec} \quad V_S = I_D \cdot R_S \quad (6.17)$$

Après résolution de cette équation du deuxième ordre, le courant instantané I_D s'écrit :

$$I_D = \frac{n\beta \cdot V_P^2}{2} \cdot \frac{2 + 2 \cdot \frac{R_S}{R_{ON}} - 2\sqrt{1 + 2 \cdot \frac{R_S}{R_{ON}}}}{\left(\frac{R_S}{R_{ON}}\right)^2} \quad (6.18)$$

$R_{ON} = 1/(n\beta \cdot V_P)$ est la résistance du transistor en conduction, c'est-à-dire lorsque la tension drain source tend vers 0V . Lorsque le rapport

$R_S/R_{ON} \rightarrow 0$, le courant de sortie est directement fonction des dimensions du transistor de sortie ($\beta = \mu \cdot C_{OX} \cdot W/L$) et de la tension de pincement V_P^2 . Le courant I_D est maximal ainsi que le rendement de l'amplificateur (voir Fig 6.7). Lorsque le rapport R_S/R_{ON} tend vers l'infini, le courant de drain et la puissance de sortie tendent vers zéro.

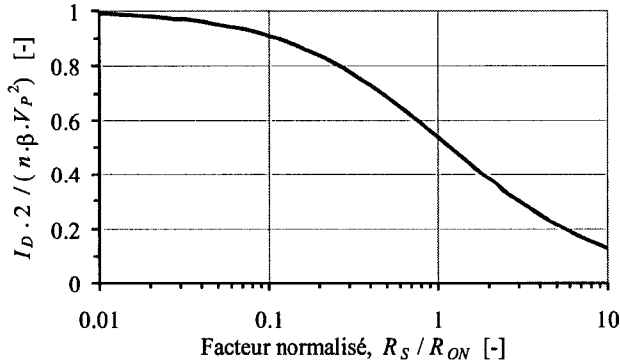


FIG. 6.7 – Courant instantané maximal en fonction d'une résistance série R_S dans la source du transistor de sortie et des dimensions du transistor.

Il est évident que la faible tension d'alimentation diminue la tension de pincement et augmente la valeur de la résistance R_{ON} . Afin de ne pas diminuer le courant maximal instantané de l'étage de sortie de plus de 10%, la résistance série R_S doit répondre au critère suivant :

$$R_S \leq 0.1 \cdot R_{ON} = \frac{0.1}{n \cdot \beta \cdot V_{P\max}} \quad (6.19)$$

6.2.6 Synthèse

Voici brièvement décrites les contraintes de l'amplificateur de puissance en fonction de la faible tension d'alimentation et de la puissance de sortie désirée pour un transistor en forte inversion. Pour une puissance de sortie P_{out} et une tension d'alimentation V_{DD} , on peut calculer le rapport W/L ainsi que la capacité d'entrée C du transistor de sortie à l'aide des relations suivantes (Equ. 6.3 et 6.4) :

$$\frac{W}{L} = \frac{4}{n \cdot \mu \cdot C_{OX}} \cdot \frac{P_{out}}{V_{DD}} \cdot \frac{I_{Dmax}}{I_{D,1}} \cdot \frac{1}{V_{Pmax}^2} \quad (6.20)$$

$$C \cong \frac{4 \cdot L^2}{n \cdot \mu} \cdot \frac{P_{out}}{V_{DD}} \cdot \frac{I_{Dmax}}{I_{D,1}} \cdot \frac{1}{V_{Pmax}^2} \quad (6.21)$$

Pour diminuer la charge capacitive C de l'étage de pré-amplification, il faut donc diminuer la puissance de sortie ou alors augmenter la tension d'alimentation. En effet, C diminue proportionnellement à P_{out} et inversement à V_{DD}^3 ($V_{Pmax} \propto V_{DD}$). Le rapport $I_{Dmax}/I_{D,1}$ est maximal et vaut environ 2, quelle que soit la forme de d'onde sur la grille du transistor de sortie, pour autant que l'angle de conduction $\Theta \cong \pi/2$ (voir Fig. 6.5).

Pour une puissance de sortie de 10mW, une tension d'alimentation de 1V et une tension de pincement maximale de 400mV, la charge capacitive C est d'environ 2pF tandis que le rapport $W/L \cong 2600$. Dans ces conditions, la résistance série R_S du transistor de sortie, due aux connexions à la masse de ce dernier ainsi qu'aux effets pelliculaires, doit être inférieure à 0.5Ω ($R_{ON} \cong 5\Omega$) tandis que la résistance de charge idéale R_L est d'environ 100Ω . On peut noter que R_L est nettement inférieure au niveau d'impédance d'entrée du récepteur ($\cong 1k\Omega$) et le circuit d'adaptation vers 50Ω est aisé à concevoir.

6.3 Amplificateurs de puissance

L'amplificateur de puissance a des contraintes supplémentaires à celles fixées par la faible tension d'alimentation et la fréquence de travail. Tout d'abord, il doit présenter une faible impédance d'entrée afin de ne pas charger trop les sorties des mélangeurs ($< 200fF$). Ensuite, il doit être capable de fournir une puissance de sortie de l'ordre de grandeur de celle admise dans les normes, soit au maximum 10dBm à 433MHz pour la bande ISM. Enfin, les étages pré-amplificateurs sont entièrement intégrés, sans sortir sur des inductances externes, afin de supprimer l'ajustement fréquentiel, de diminuer le nombre de sorties du circuit intégré et d'éviter des couplages parasites.

Dans le cadre de ce travail de thèse, deux amplificateurs de puissance destinés aux bandes ISM ont été réalisés et mesurés [60],[64]. La première structure est basée sur un pré-amplificateur à paires différentielles tandis que la seconde est composée d'étages pré-amplificateurs à circuits inverseurs.

6.3.1 Amplificateur de puissance à paires différentielles

Implémentation

L'amplificateur est une cascade de deux pré-amplificateurs classe A et d'un étage de sortie classe B (voir Fig. 6.8). Une structure différentielle a été choisie afin d'améliorer la réjection de la seconde harmonique¹ et de réduire les harmoniques de courant dans l'alimentation. En conséquence, une antenne différentielle (par exemple une antenne boucle) ou un transformateur doivent être utilisés comme charge. A puissance de sortie constante, le courant crête est réduit d'un facteur deux dans une structure différentielle en comparaison d'une version unipolaire. Cependant, la surface est également doublée et le rendement reste constant [60].

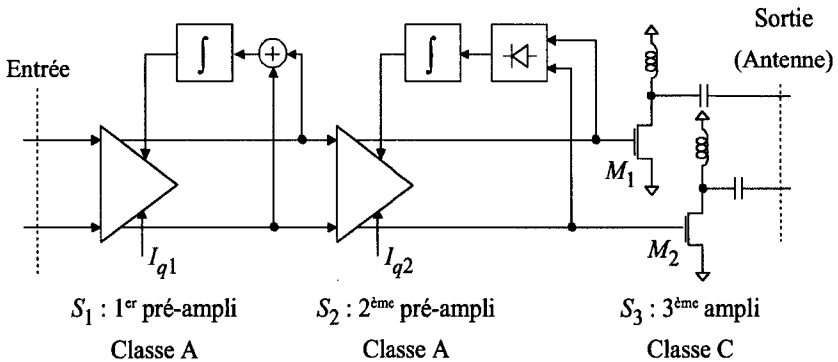


FIG. 6.8 – Schéma de principe de l'amplificateur de puissance classe B. Les étages de pré-amplification sont réalisés à l'aide de paires différentielles.

La tâche principale des deux premiers étages classe A S_1 - S_2 est l'adaptation d'impédance entre l'étage de sortie et l'étage d'entrée. La charge d'entrée est de 140fF ($3k\Omega$ @ 430MHz) tandis que la capacité de charge totale en sortie (M_1 et M_2) est de 2pF (200Ω @ 430MHz). Le second rôle de ces pré-amplificateurs est la polarisation de l'étage de sortie S_3 . Indépendamment de la tension d'alimentation (entre 1 et 2V) et du mode commun d'entrée, le transistor de sortie doit être polarisé correctement. La raison principale en est que les capacités flottantes métal-métal n'ont pas été utilisées dans ce circuit. En effet, ces composants ont une capacité parasite

¹La puissance de la seconde harmonique doit être inférieure à -36dBm, et celle de la troisième harmonique inférieure à -30dBm.

vers la masse d'environ 30% ce qui augmente considérablement la charge capacitive des différents étages.

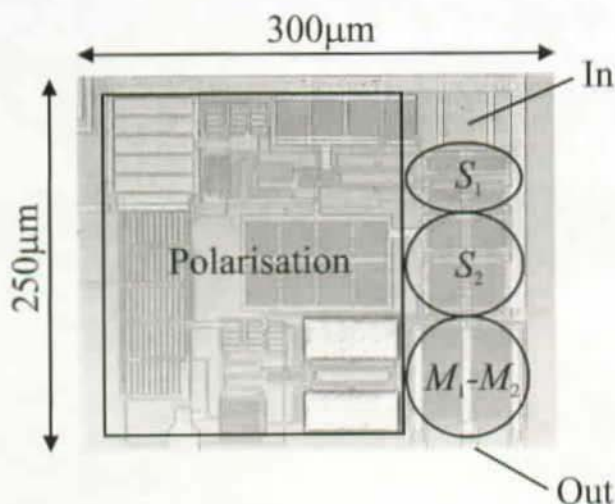


FIG. 6.9 – Photo de l'amplificateur de puissance à paires différentielles.

Les pré-amplificateurs sont réalisés à l'aide de paires différentielles NMOS chargées capacitivement. Le mode commun à la sortie du premier étage est fixé en fonction de la tension d'alimentation. Le but est de décaler le mode commun d'entrée (de 1.4V à 0.8V) proche de la tension de seuil des transistors de hachage (0.6V) afin de polariser l'étage de sortie en classe B. Pour ce faire, les deux étages de pré-amplificateurs sont nécessaires. Le mode commun du premier étage varie entre 1 et 0.8V, tandis que le mode commun de sortie, soit la tension moyenne de grille de M_1 et M_2 , dépend de la tension de seuil d'un transistor de référence. La bande passante de ces boucles de contre-réaction est de 3MHz. Un détecteur de crête qui utilise un diviseur résistif à la masse ainsi que des transistors PMOS en faible inversion polarise le dernier étage (voir 7.3). Le demi-angle de conduction de ce dernier est d'environ $\Theta = \pi/2$.

Le tableau 6.1 décrit la taille, le courant de polarisation ainsi que le facteur d'inversion de chacun des transistors des différents étages du circuit de la Fig 6.8. Les paires différentielles actives sont des transistors NMOS tandis que les charges actives sont des transistors PMOS.

6.3.1 Amplificateur de puissance à paires différentielles

Implémentation

L'amplificateur est une cascade de deux pré-amplificateurs classe A et d'un étage de sortie classe B (voir Fig. 6.8). Une structure différentielle a été choisie afin d'améliorer la réjection de la seconde harmonique¹ et de réduire les harmoniques de courant dans l'alimentation. En conséquence, une antenne différentielle (par exemple une antenne boucle) ou un transformateur doivent être utilisés comme charge. A puissance de sortie constante, le courant crête est réduit d'un facteur deux dans une structure différentielle en comparaison d'une version unipolaire. Cependant, la surface est également doublée et le rendement reste constant [60].

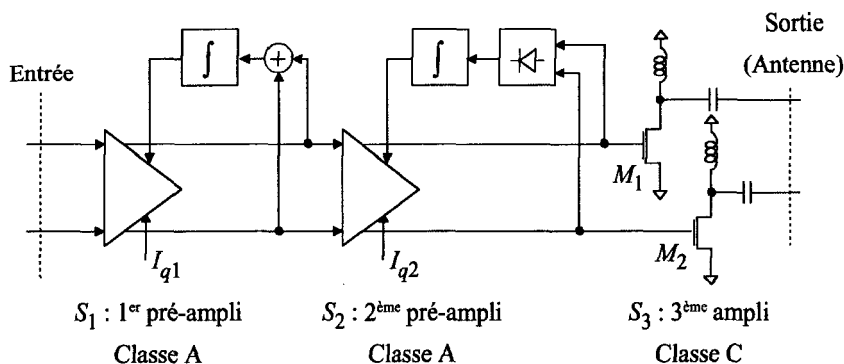


FIG. 6.8 – Schéma de principe de l'amplificateur de puissance classe B. Les étages de pré-amplification sont réalisés à l'aide de paires différentielles.

La tâche principale des deux premiers étages classe A S_1 - S_2 est l'adaptation d'impédance entre l'étage de sortie et l'étage d'entrée. La charge d'entrée est de 140fF ($3k\Omega$ @ 430MHz) tandis que la capacité de charge totale en sortie (M_1 et M_2) est de 2pF (200Ω @ 430MHz). Le second rôle de ces pré-amplificateurs est la polarisation de l'étage de sortie S_3 . Indépendamment de la tension d'alimentation (entre 1 et 2V) et du mode commun d'entrée, le transistor de sortie doit être polarisé correctement. La raison principale en est que les capacités flottantes métal-métal n'ont pas été utilisées dans ce circuit. En effet, ces composants ont une capacité parasite

¹La puissance de la seconde harmonique doit être inférieure à -36dBm, et celle de la troisième harmonique inférieure à -30dBm.

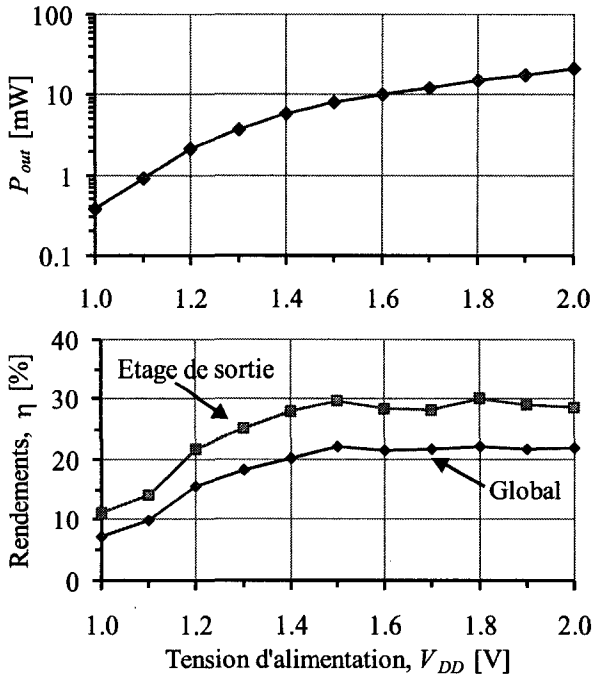


FIG. 6.10 – Puissance de sortie, rendement global et rendement de l'étage de sortie à 430MHz en fonction de V_{DD} pour une charge adaptée de 50Ω .

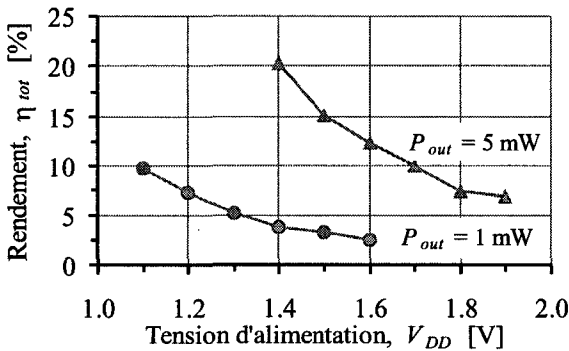


FIG. 6.11 – Rendement global pour une puissance de sortie constante.

Éléments	W/L en μm	IC	Courant
Paire différentielle S_1	40/0.5	15	$300\mu\text{A}$
Charge active S_1	80/0.5	30	$300\mu\text{A}$
Paire différentielle S_2	120/0.5	24	1.5mA
Charge active S_2	240/0.5	24	1.5mA
M_1 - M_2	600/0.5	-	-

TAB. 6.1 – Dimensions, facteur d'inversion et courant de polarisation de la chaîne d'amplification décrite à la Fig. 6.8 pour $V_{DD} = 1.2\text{V}$.

Caractérisation à 430MHz

Les mesures ont été effectuées avec la technologie $0.5\mu\text{m}$ d'Alcatel Mitec, tandis que le circuit intégré était encapsulé dans un boîtier standard LCC68. Le signal d'entrée est appliqué à l'aide d'un générateur 50Ω et d'un "power splitter" sur des résistances de 50Ω internes. Cette configuration empêche une résonance entre l'inductance de "bounding" et la capacité d'entrée du circuit intégré et permet de maîtriser son niveau. La tension d'entrée est donc une sinusoïde de 220mV d'amplitude crête. L'inductance de l'étage de sortie vaut $L = 22\text{nH}$ tandis que la capacité série $C_S = 6.8\text{pF}$. Ces deux éléments permettent une adaptation d'impédance de 200Ω vers 50Ω (analyseur de spectre).

La puissance de sortie varie entre 0.4mW et 20mW pour des tensions d'alimentation comprises entre 1 et 2V (voir Fig. 6.10). P_{out} vaut 10mW pour 1.6V de tension d'alimentation tandis que, sous 1.1V , elle atteint 1mW . Dans cette configuration, le rendement de l'étage de sortie atteint au maximum 30% tandis que le rendement global maximal est de 22% (voir Fig. 6.10). En contrôlant le courant de polarisation I_{q2} du dernier étage du pré-amplificateur, il est possible de réguler la puissance de sortie entre $10\mu\text{W}$ et son niveau maximal. Ce courant a été utilisé pour réguler la puissance de sortie en fonction de la tension d'alimentation (voir Fig 6.11). Le rendement global chute avec V_{DD} car l'impédance de charge reste constante.

Ce circuit a démontré la faisabilité d'amplificateur sans éléments inductifs externes. Cependant, le rendement de l'étage de sortie est faible. En effet, lors de la conception de ce circuit, la résistance série à la source du transistor de sortie R_S a été sous-estimée ($R_S \cong R_{ON} \cong 5\Omega$). De plus, l'utilisation de paires différentielles limite le facteur d'inversion maximal des pré-amplificateurs et la régulation du mode commun surcharge de manière importante le premier pré-amplificateur (environ 20%). Ces deux causes réduisent le gain en tension de la chaîne, ce qui limite ses performances.

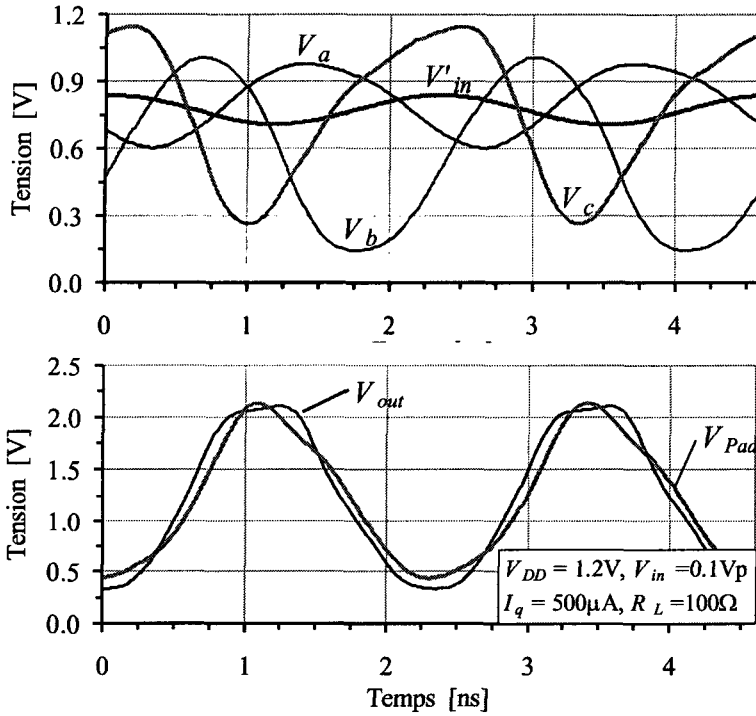


FIG. 6.13 – Signaux temporels simulés. V'_{in} est la tension d'entrée après le couplage capacitif ($V_{in} = 100mVp$). V_a , V_b et V_c sont les signaux à chaque étage du pré-amplificateur tandis que V_{Pad} et V_{out} sont les signaux sur le pad de sortie et sur l'inductance L en tenant compte des éléments parasites.

tension d'alimentation, ce qui limite le rendement de l'étage de sortie à 55%. Dans ce cas, la puissance de sortie, en admettant une charge adaptée, peut être estimée grâce à l'équation suivante :

$$P_{out,diff} \cong \eta_{out} \cdot \frac{\mu C_{OX} \cdot V_{DD}}{\pi \cdot n} \cdot \frac{W_1}{L_{min}} \cdot (V_{DD} - V_{TON} - V_{DSat})^2 \quad (6.22)$$

En posant comme condition que la puissance totale désirée de sortie doit être de 10mW sous 1.2V de tension d'alimentation, les valeurs des composants en sont déduites. Pour ce circuit, $W_1 = W_2 = 80\mu m$, $L_1 = L_2 = 0.5\mu m$, $R_1 = 10k\Omega$ et $I_q = 500\mu A$.

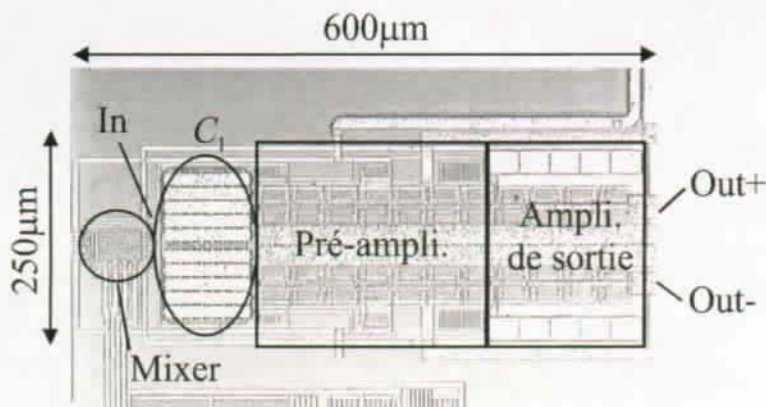


FIG. 6.15 – Photo de l'amplificateur différentiel de puissance à inverseurs.

tension de saturation des transistors de polarisation PMOS. Ce résultat est largement indépendant de la puissance de sortie mais dépend fortement de la fréquence maximale f_{max} du transistor. Pour une tension d'alimentation $V_{DD} = 1.2V$, le rendement total est donc estimé à : $\eta_{tot} \cong 0.72 \cdot \eta_{out} \cong 39\%$.

Caractérisation à 430MHz

Les circuits présentés ci-dessous ont été réalisés avec la technologie standard $0.5\mu m$ CMOS d'Alcatel Mietec (voir Fig. 6.15). Le circuit intégré est encapsulé dans un boîtier CQFP64. Des mesures de cet amplificateur de puissance dans un boîtier FP24 et CQFP80 ont donné des résultats identiques. Les effets des éléments extrinsèques modifient faiblement le comportement de l'amplificateur, comme le montrent les signaux temporels de la Fig. 6.13. Le signal d'entrée, d'environ $-13dBm$, est appliqué à l'aide d'un générateur 50Ω et d'un power splitter sur des résistances de 50Ω externes. Avant le couplage capacitif sur la chaîne de pré-amplificateurs, la tension d'entrée est sinusoïdale et son amplitude est de $100mVp$.

L'amplificateur de puissance est à large bande grâce au faible facteur de qualité de l'étage de sortie ($R_L = 100\Omega$, $L = 56nH$) ainsi qu'à l'absence d'inductance sur la grille de commande du transistor de sortie (voir Fig. 6.12). On peut remarquer à la Fig. 6.16 que la puissance de sortie de l'amplificateur est de 8 à $10mW$ sur une bande de fréquences comprises entre 300 et 500MHz. Dans cette plage de fréquences, le rendement est constant et vaut environ 40% pour toute la chaîne, qui comprend les trois étages de

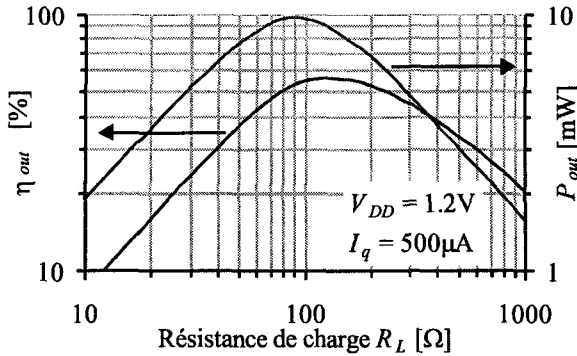


FIG. 6.14 – Rendement et puissance simulés de l'étage de sortie en fonction de la résistance de charge R_L sous 1.2V de tension d'alimentation.

La Fig. 6.14 montre la puissance ainsi que le rendement de l'étage de sortie pour différentes valeurs de la charge résistive. Afin de maximiser la puissance transmise, la résistance de charge optimale est de $R_L = 100\Omega$ par canal. Cette valeur n'est pas surprenante, elle correspond en effet à l'impédance nécessaire pour une puissance de 10mW.

$$P_{out,diff} = 2 \cdot \frac{\hat{V}_{out}^2}{2 \cdot R_L} \cong \frac{1^2}{100} = 10\text{mW} \quad (6.23)$$

De plus, la faible tension d'alimentation ainsi que la consommation de courant du pré-amplificateur limitent le rendement global η_{tot} . Ce dernier peut être calculé à l'aide de l'approximation suivante :

$$\eta_{tot} \cong \frac{\eta_{out}}{1 + 8 \cdot \alpha \cdot n \cdot \frac{f \cdot L_{min}^2}{V_{DD} \cdot \mu_n} \cdot \left(\frac{V_{DD}}{V_{DD} - V_{T0n} - V_{DSat}} \right)^2} \quad (6.24)$$

où $\alpha \cong 2$ représente la charge capacitive additionnelle au transistor de sortie de toute la chaîne du pré-amplificateur. Ce facteur prend en compte que non seulement la grille du transistor de sortie doit être chargée et déchargée, mais encore toutes les grilles des transistors du pré-amplificateur. $n = 1.2$ est le facteur de pente des transistors NMOS, $L_{min} = 0.5\mu\text{m}$ leur longueur minimale, $V_{T0n} = 0.6V$ leur tension de seuil, $\mu_n = 0.046 \text{ m}^2/(\text{V}\cdot\text{s})$ la mobilité des électrons, $f = 450\text{MHz}$ la fréquence de travail et $V_{DSat} = 0.2V$ la

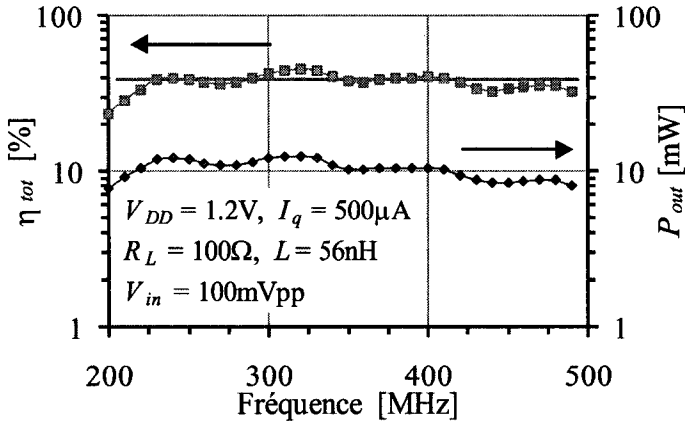


FIG. 6.16 – Rendement total η_{tot} et puissance de sortie P_{out} de l'amplificateur de puissance pour une fréquence d'entrée variant de 200MHz à 500MHz.

pré-amplification ainsi que l'étage de sortie. Aux fréquences inférieures à 300MHz, le couplage capacitif à la sortie du mélangeur ne se fait plus correctement, ce qui provoque une chute du rendement. Au-dessus de 500MHz, c'est le réseau d'adaptation qui ne fonctionne plus.

La Fig. 6.17 représente la puissance de sortie à 430MHz ainsi que le rendement pour des tensions d'alimentation comprises entre 1 et 2V. Le rendement du transistor de sortie η_{out} est de 55% à 60% pour des tensions d'alimentation comprises entre 1.2 à 2V, tandis que le rendement total est d'environ 40%. Ce rendement n'augmente pas pour des tensions d'alimentation plus élevées car la résistance de charge reste constante. A très faible tension d'alimentation (1 à 1.2V), le rendement chute. En effet, la tension de pincement n'est plus suffisante pour assurer une bonne amplification interne en tension. De plus, la résistance de charge R_L est trop faible pour le niveau de courant débité.

L'étage d'adaptation d'impédance est à large bande, ce qui a comme conséquence une faible réjection des harmoniques deux et trois (voir Fig 6.18). Pour une puissance de sortie de 10dBm, l'harmonique deux doit être diminuée de 16dB, tandis que l'harmonique trois doit l'être de 20dB afin de remplir les spécifications des bandes ISM. Un filtre à ondes de surface est donc nécessaire à la sortie de l'amplificateur.

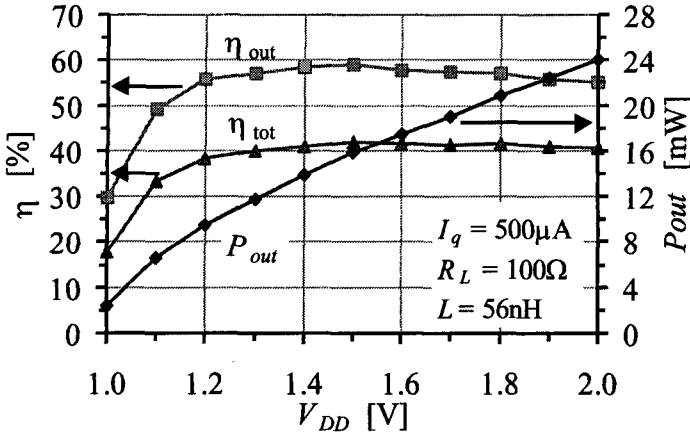


FIG. 6.17 – Rendement de l'étage de sortie η_{out} , rendement total η_{tot} et puissance de sortie P_{out} de l'amplificateur de puissance à $f_0 = 430\text{MHz}$.

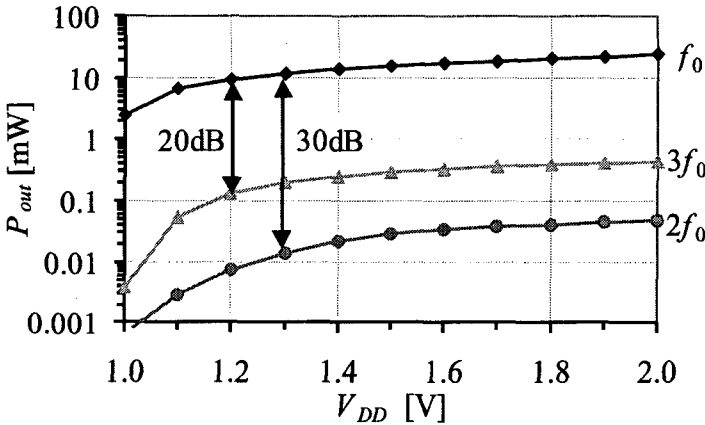


FIG. 6.18 – Puissance de sortie P_{out} de la fondamentale $f_0 = 430\text{MHz}$ et des harmoniques pour un courant de polarisation I_q de $500\mu A$.

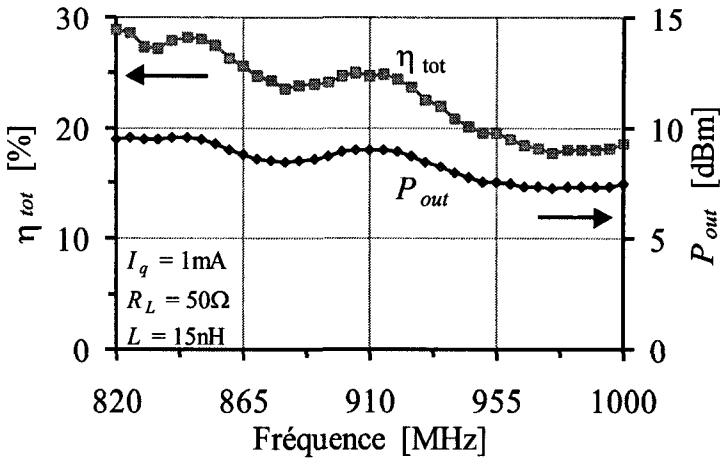


FIG. 6.19 – Rendement total η_{tot} et puissance de sortie P_{out} de l'amplificateur de puissance pour une fréquence d'entrée variant de 820MHz à 1GHz.

Caractérisation à 900MHz

Une version non différentielle de cet amplificateur de puissance a été réalisée sur le même circuit intégré. Le circuit de charge est composé d'une résistance $R_L = 50\Omega$, d'une inductance $L = 15\text{nH}$ et d'une capacité $C_S = 100\text{pF}$. Une puissance de 3mW pour 20% de rendement global a été mesurée à 910MHz sous 1.2V de tension d'alimentation. A $V_{DD} = 1.8\text{V}$, la puissance de sortie est de 10dBm pour un rendement global de 25%. La tension d'entrée est de 100mVp, soit 5 fois supérieure au minimal nécessaire pour garantir la "locked range" de l'amplificateur (20mV). En effet, pour réduire la consommation de la chaîne d'amplification, elle est instable sans signal d'entrée.

Aux environs de 900MHz, les éléments parasites du boîtier CQFP64 ne sont plus négligeables. Le niveau d'impédance de charge est donc inférieur à celui attendu. Un boîtier FP24 aurait permis de diminuer ce problème. Il faut également préciser que ce circuit n'avait pas été conçu pour cette gamme de fréquence. En effet, dans un tel cas, deux étages supplémentaires de pré-amplification seraient utiles afin de générer une tension de commande suffisante sur la grille du transistor de sortie. La caractéristique large bande reste visible malgré les effets du boîtier (voir Fig. 6.19).

6.4 Modulateur

Cette section décrit brièvement les blocs nécessaires pour réaliser un modulateur FSK à phase continue. Les mélangeurs à réjection de la fréquence image, la génération de signaux en quadrature, la modulation de signaux basse fréquence ainsi que différentes mesures du modulateur complet sont présentés.

6.4.1 Mélangeurs haute fréquence

Les mélangeurs haute fréquence sont réalisés à l'aide de simples paires différentielles dont le courant de queue I_{LF} est modulé par un signal basse fréquence à faible taux de distorsion et dont les grilles sont commandées par un signal différentiel à la fréquence de la porteuse V_{LO} (voir Fig. 6.20). Les transistors du mélangeur travaillent en inversion modérée ($IC = 5$). La tension crête appliquée sur leur grille est suffisante pour garantir la commutation complète des transistors et rendre l'offset de gain résiduel du mélangeur négligeable, soit inférieur à 3% (voir Equ. 6.1). L'additionneur est réalisé par la sommation des courants à la sortie du mélangeur, puis la conversion courant-tension est réalisée à l'aide de résistances. L'amplificateur de puissance étant couplé capacitivement, le mode commun n'a pas besoin d'être régulé, ce qui diminue d'autant la charge capacitive de sortie. Pour ce design, le courant de queue $I_{LF} = 100\mu A$, la tension de grille crête $V_{LO,I} = V_{LO,Q} = 100mVp$, la résistance de sortie $R_S = 5k\Omega$ et les dimensions des transistors de commutation sont de : $W = 40\mu m$ et $L = 0.5\mu m$.

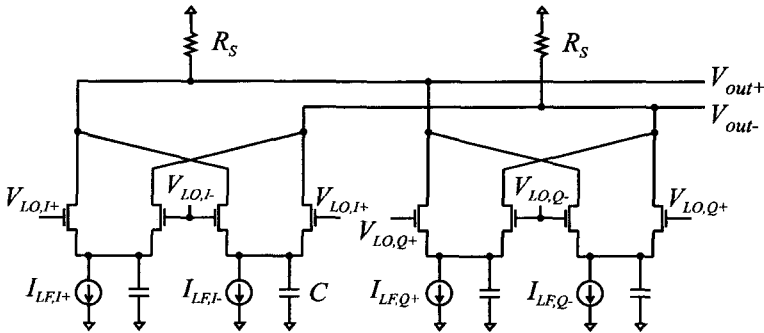


FIG. 6.20 – Schéma de principe du mélangeur-sommeur.

6.4.2 Filtre polyphasé

Le problème consistant à fournir un signal en quadrature, qui remplit les conditions de précision en amplitude et en phase, a été résolu à l'aide d'un filtre polyphasé à 4 étages, intégré directement sur le circuit [3]. Un signal différentiel, généré à l'extérieur du circuit à l'aide d'un power splitter, attaque symétriquement sur 50Ω deux des entrées du filtre, les deux autres étant à la masse. A la sortie des quatre étages du filtre, le signal est en quadrature. Les amplitudes et les phases sont précises avec un écart type simulé inférieur à 1%. Dans ce circuit, les résistances valent 420Ω et les capacités fonctionnelles métal-métal sont de 1pF . A celles-ci sont additionnées des capacités parasites de 250fF vers la masse. Ce filtre est conçu pour travailler à la fréquence de la bande ISM.

Il est évident que dans un circuit intégré comprenant un synthétiseur de fréquence, la génération de signaux I-Q à la fréquence de la porteuse ne se ferait pas à l'aide d'un réseau polyphasé dissipatif à 4 étages, mais par exemple à l'aide de déphaseur RC-CR ou d'un intégrateur à gm-C [64]. Le filtre polyphasé a donc été remplacé par le synthétiseur de fréquence lors de la conception de l'émetteur-récepteur complet. Cette solution, y compris le réglage de la puissance de sortie, est présentée dans le chapitre 7.

6.4.3 Génération des signaux basse fréquence

Ce bloc, réalisé par Alain-Serge Porret, est décrit plus précisément en [64], mais son fonctionnement est brièvement rappelé ci-dessous pour permettre une lecture cohérente. En raison de sa relative simplicité, une réalisation complètement intégrée a été choisie. Son principe est illustré à la Fig. 6.21. Le générateur des signaux BF est constitué d'un oscillateur en quadrature qui contrôle les sources de courant du mélangeur haute fréquence (voir Fig. 6.20).

L'oscillateur est composé d'une boucle de deux intégrateurs $g_m - C$. Le contrôle de la déviation de fréquence Δf est réalisé en ajustant le g_m par le courant de polarisation. Les blocs de multiplication commutent les courants différentiels des transconducteurs. Cette solution garantit une modulation de phase continue car la commutation se fait avant intégration. En effet, les variables d'état sont les tensions sur les noeuds capacitifs et cette fonction reste continue quel que soit le débit de données. Une régulation d'amplitude ("Amplitude Locked Loop" ou ALL) permet de régler la tension de sortie. Chaque couple de g_m est utilisé comme une résistance contrôlée qui peut être positive ou négative. Les principales caractéristiques de ce bloc sont décrites ci-dessous.

	<i>P</i>	<i>P</i> en %
Puissance de sortie	9.5 mW	38 %
Étage de sortie	8.0 mW	32 %
Pré-amplificateur	7.0 mW	28 %
Génération I-Q	0.5 mW	2 %
Total	25 mW	100 %

TAB. 6.2 – Répartition de la consommation de la puissance du modulateur FSK à phase continue sous 1.2V de tension d'alimentation.

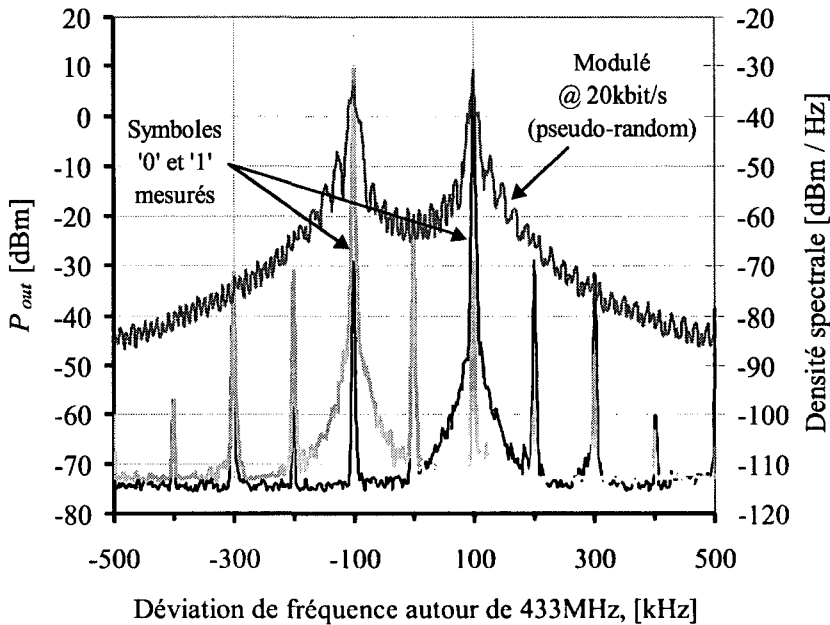


FIG. 6.22 – Spectres de sortie mesurés pour une déviation de fréquence de $\pm 100\text{kHz}$. 1) Pour un bit d'entrée à "0" ou à "1". 2) Pour un débit pseudo-aléatoire de 20kbits/s.

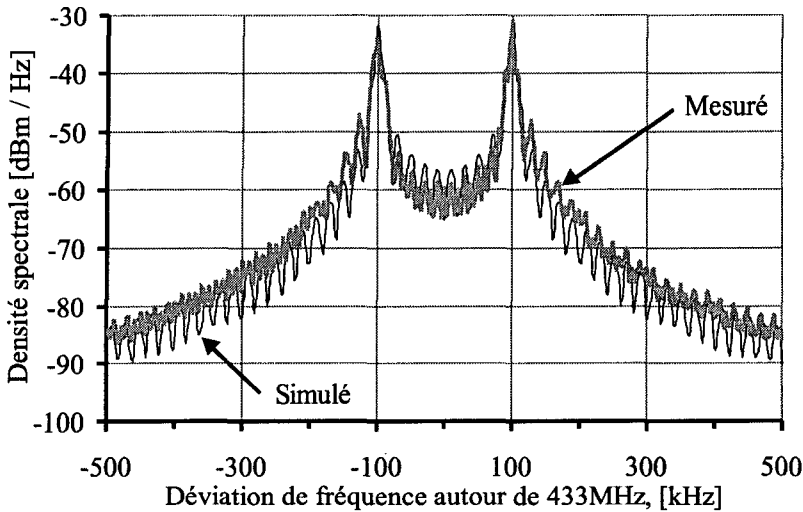


FIG. 6.23 – Spectres de sortie pour une déviation de fréquence $\pm 100\text{kHz}$ et un débit de 20kbits/s . Le spectre théorique est obtenu dans un cas idéal ($IRR = 0$).

puissance est simulée dans le cas d'un modulateur parfait dont la déviation de fréquence est de 100kHz pour un débit de 20kbits/s . Cette mesure montre que la fréquence image de la porteuse est rejetée de plus de 38dB tandis que les harmoniques dues aux mésappariements et aux distorsions de la forme d'onde du courant de queue du mélangeur sont inférieures de 33dB par rapport à la fondamentale.

Signal modulé

La Fig. 6.23 montre la parfaite similitude entre le spectre modulé mesuré et celui simulé dans un cas idéal, c'est-à-dire sans aucun effet de "mismatches" entre les différents canaux ($IRR = 0$). Cette figure démontre que le spectre n'est pas affecté par le taux de distorsion du signal basse fréquence. La génération d'une déviation de fréquence Δf avec une THD de 1% est suffisante. La modulation FSK par réjection de la fréquence image permet donc de répondre au cahier des charges.

6.5 Conclusions

Dans ce chapitre, un modulateur FSK pour les bandes ISM est présenté. La première section décrit le choix de réaliser un modulateur par mélangeur et suppression de la fréquence image. Son principal avantage est sa souplesse. En effet, il est possible de dissocier la génération de la porteuse, la déviation de fréquence ainsi que le débit de données. Cependant, une attention particulière doit être accordée à la suppression de la fréquence image, au changement de fréquence à phase continue et au faible taux de distorsion des signaux basse fréquence.

Dans une seconde partie, les différents types d'amplificateurs de puissance, leur rendement ainsi que leur puissance de sortie sont rappelés. Afin de diminuer le nombre de "pads" et les couplages, le pré-amplificateur ne possède pas de sortie externe. Un étage de sortie fonctionnant en classe B, soit avec un angle de conduction de 180° , est une solution optimale dans ce cas. En effet, quelle que soit la forme d'onde sur la grille du transistor de sortie, la puissance P_{out} et le rendement restent acceptables sans augmenter la charge capacitive du pré-amplificateur. Il est également mis en évidence que malgré le niveau d'impédance relativement élevé de la charge (100Ω), les résistances en série avec la source du transistor de sortie doivent être très faibles ($\leq 1\Omega$).

Deux amplificateurs de puissance complètement intégrés sont présentés dans la troisième section. Le premier utilise des boucles de régulation couplées DC et les pré-amplificateurs sont des paires différentielles. La seconde structure est pseudo-différentielle et son entrée est couplée capacitivement. Son pré-amplificateur est une cascade de trois inverseurs. Cette deuxième solution est particulièrement intéressante pour de faibles tensions d'alimentation. Sous 1.2V de tension d'alimentation, une puissance de 10mW et un rendement global de 40% ont été mesurés.

Pour terminer, un modulateur FSK comprenant l'amplificateur de puissance, les mélangeurs à réjection d'image ainsi que la génération des signaux basse fréquence sont décrits. Les spectres mesurés, pour un signal modulé et non-modulé, permettent d'affirmer que les problèmes de distorsion des signaux basse fréquence, de réjection de la fréquence image et de modulation continue peuvent être résolus sous très faible tension d'alimentation.

Chapitre 7

Émetteur-récepteur CMOS pour la bande ISM des 434MHz

Ce chapitre présente un émetteur-récepteur à très faible consommation destiné à la bande ISM des 434MHz. Le récepteur fonctionne sous 1V de tension d'alimentation et consomme seulement 1mA. L'amplificateur faible bruit, les mélangeurs, les filtres, les limiteurs ainsi que le démodulateur sont expliqués dans une première section. Dans la seconde partie, la régulation de puissance du modulateur est décrite. Son architecture, ses blocs constitutifs et ses performances ont déjà été décrits dans le chapitre précédent. Pour terminer, les caractéristiques du synthétiseur de fréquence sont brièvement commentées ci-dessous.

La Fig. 7.1 décrit le schéma de principe de l'émetteur-récepteur. L'oscillateur contrôlé (VCO) du synthétiseur de fréquence est constitué d'un oscillateur LC [37]. La fréquence de travail peut être asservie à l'aide d'une varicap différentielle entièrement intégrée. Son facteur de qualité est supérieur à 100 et la fréquence de résonance peut varier de $\pm 5\%$ sous 1V de tension d'alimentation [37],[65],[66]. Un diviseur de fréquence, incluant une sélection de 7 canaux par pas de 280kHz, divise le signal d'entrée par environ 128. L'oscillateur à quartz oscille à 3.39MHz tandis qu'un détecteur phase-fréquence (PFD) et un filtre basse-pass bouclent la PLL. Deux déphaseurs actifs à $g_m C$ fournissent les signaux en quadrature, un pour le récepteur, l'autre pour l'émetteur. Pour des détails supplémentaires, il faut se référer à la

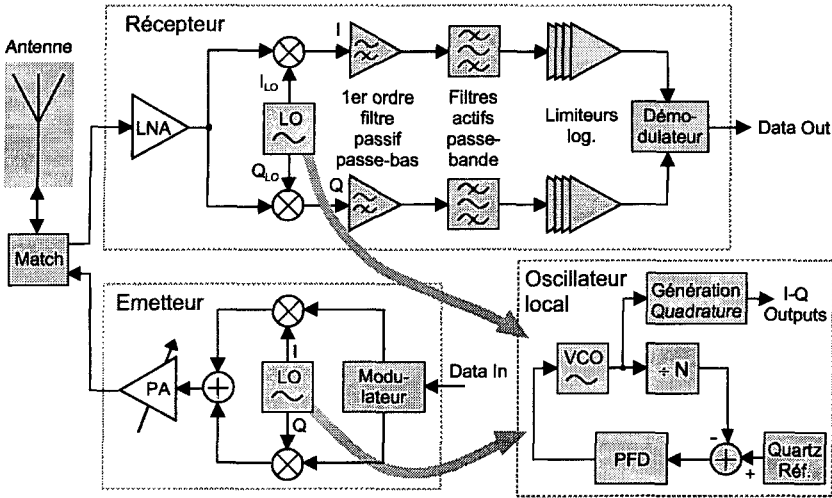


FIG. 7.1 – Schéma de principe de l'émetteur-récepteur.

thèse d'Alain-Serge Porret [26].

Le signal d'entrée est amplifié (LNA), puis converti en basse fréquence à l'aide de deux mélangeurs en quadrature. Les signaux basse fréquence I-Q traversent ensuite un filtre passif RC à 250kHz ainsi qu'un filtre actif passe-bande de Bessel du 8ème ordre. La fréquence de coupure du filtre passe-bas du 3ème ordre est de 50kHz, celle du filtre passe-haut du 5ème ordre est de 150kHz. Une série de 6 amplificateurs-limiteurs passe-bande ainsi qu'une fonction pseudo-logarithmique permettent ensuite de réduire la dynamique du signal d'entrée. En dernier lieu, un démodulateur à temps continu, basé sur un filtre complexe du premier ordre, permet de démoduler le signal FSK. Une sortie RSSI "Receive Signal Strength Intensity" mesure également la puissance du signal d'entrée et permet la démodulation de signaux AM.

A l'émission, une modulation par suppression de la fréquence image est utilisée. L'amplificateur de puissance, la génération de la déviation de fréquence Δf , son contrôle par le débit ainsi que les mélangeurs et le sommateur sont décrits au chapitre 6. L'asservissement de la puissance de sortie permet d'augmenter la souplesse du système. En effet, combinée avec l'information RSSI fournie par le récepteur ou par protocole, le réglage de la puissance d'émission permet de réduire la consommation et d'augmenter considérablement l'autonomie du système.

7.1 Récepteur

Le but du récepteur est la démodulation par conversion directe d'un spectre FSK à large déviation de fréquence (voir chapitre 2). La consommation doit être inférieure à 1mA pour une tension d'alimentation de 1V. La figure de bruit du système est de 20dB pour un débit de 20kbits/s [37].

7.1.1 Amplificateurs et mélangeurs à faible bruit

Description

L'amplification et la conversion de fréquence sont réalisées à l'aide d'une version modifiée du circuit présenté à la section 5.2.2. La source de courant PMOS au noeud A1 (A2) a été supprimée afin de diminuer la consommation du circuit (voir Fig. 7.2). La consommation totale de ce bloc est de seulement 120 μ A pour une impédance d'entrée unipolaire de 1.3k Ω . Pour réaliser l'adaptation vers 50 Ω , L vaut 18nH tandis que $C_S = 2.7$ pF.

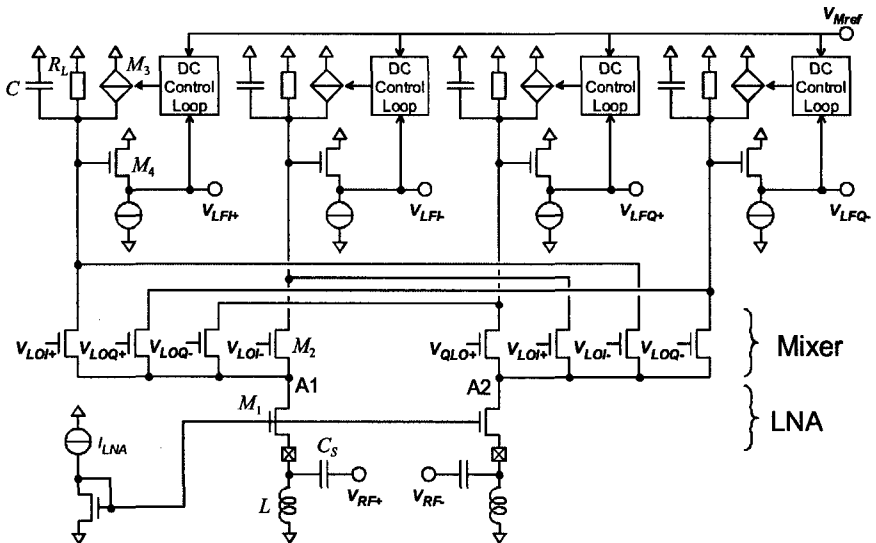


FIG. 7.2 – Schéma de principe de l'amplificateur-mélangeur.

Le signal d'entrée différentiel est appliqué à un amplificateur à grille commune (M_1). Le courant est ensuite commuté entre les deux canaux I-Q

à l'aide des transistors du mélangeur. La charge capacitive des noeuds A1 et A2 doit être réduite afin d'augmenter le gain en courant et de diminuer la densité spectrale de bruit $1/f$ à la sortie du mélangeur (voir Ch. 4). Après conversion en bande de base, le courant est converti en tension sur une résistance R_L . Le transistor M_4 est un suiveur qui décale le signal afin que son mode commun de sortie soit compatible avec le mode commun du filtre ($V_{Mref} \cong 200\text{mV}$). Une boucle de contre réaction, qui comprend un intégrateur, dont la fréquence de coupure est de 10kHz , permet de fixer le mode commun. En parallèle à la charge résistive, une capacité C est rajoutée. Ce filtre passe-bas passif avec un pôle placé à 250kHz permet d'augmenter la réjection des canaux hors bande. En effet, la dynamique au point de compression à la sortie des mélangeurs est supérieure à celle du filtre (voir section 7.1.2). Un filtre passif permet donc d'augmenter les performances de réjection des signaux hors bande.

Le gain en tension G_u entre l'entrée différentielle et la tension de sortie BF d'un des deux canaux peut être calculé approximativement par :

$$G_u = \frac{2}{\pi} \cdot \frac{g_{ms1} \cdot R_L}{\left| 1 + j \frac{\omega}{\omega_c} \right|} \quad (7.1)$$

où g_{ms1} est la transconductance de source de M_1 et R_L une des résistances de charge. ω est la pulsation de travail tandis que ω_c est la fréquence de coupure au noeud A1 (A2). Le gain en tension du circuit d'adaptation vaut :

$$G_{\text{adapt}} = \sqrt{\frac{1}{g_{ms1} \cdot R_{50\Omega}}} - 1 \cong 5$$

Le facteur de bruit F , en négligeant le bruit $1/f$, vaut :

$$F \cong 1 + \xi_1 + \frac{\pi^2 \left| 1 + j \frac{\omega}{\omega_c} \right|^2}{2} \cdot \left(\xi_2 \cdot \frac{g_{ms2}}{g_{ms1}} \cdot \frac{nU_T}{\pi \hat{V}_{LO}} + \xi_3 \cdot \frac{g_{ms3}}{g_{ms1}} + \frac{1}{g_{ms1} \cdot R_L} \right) \quad (7.2)$$

g_{ms2} est la transconductance de source du mélangeur lorsque $V_{LO} = 0$ et g_{ms3} est celle de la source de courant M_3 utilisée pour réguler le mode commun. Le Tab. 7.1 récapitule les dimensions, le facteur d'inversion et le courant de polarisation des principaux éléments de la Fig. 7.2. Les transistors M_1 , M_2 et M_3 sont en inversion modérée, tandis que M_4 est en faible inversion. M_1 ne peut pas être en forte inversion sans entrer en conduction. M_2 doit commuter avec une tension de seulement 100mVp appliquée par

le LO. M_3 régule le courant de sortie, sa tension de saturation doit être inférieure à 200mV. Pour terminer, M_4 doit être en faible inversion pour augmenter la plage dynamique aux bornes de la résistance R_L .

Éléments	Valeur	W/L en μm	IC	Courant
M_1	-	40/0.5	2.4	$50\mu\text{A}$
M_2	-	20/0.5	1.2	$12.5\mu\text{A}$
M_3	-	20/5	8	$10\mu\text{A}$
M_4	-	160/0.5	1/160	$0.5\mu\text{A}$
R_L	100k Ω	-	-	$2.5\mu\text{A}$
C	7pF	-	-	-

TAB. 7.1 – Valeurs, dimensions, facteur d'inversion et courant de polarisation des principaux éléments du circuit proposé à la Fig. 7.2.

La charge capacitive totale au noeud A1 (A2) est de 200fF, la bande passante vaut $\omega_c/(2\pi) \cong 434\text{MHz}$ et le gain en tension $G_u \cong 36$ (30dB) à 434MHz. Le gain en tension est particulièrement élevé. En effet, il doit être suffisant pour que le bruit du filtre ne domine pas (100 μV , voir section 7.1.2). De plus, la faible tension d'alimentation limite la plage de tension disponible à la sortie du mélangeur. Le point de compression à -1dB est dominé par les non-linéarités à la sortie du mélangeur. Cependant, la linéarité du système n'est pas détériorée. En effet, le point de compression à -1dB est de 80mV à l'entrée du filtre, tandis que celui à la sortie de l'amplificateur-mélangeur est de $V_{-1dB,out} = 200\text{mV}$. Le gain en tension total est de $G = G_{\text{adapt}} \cdot G_u \cong 180$ (45dB). Par conséquent, le point de compression à l'entrée du circuit (-46dBm) peut également être calculé grâce à la relation suivante :

$$P_{-1dB} = \frac{V_{-1dB,out}^2}{G^2 \cdot R_{50\Omega}}$$

La figure de bruit calculée vaut $NF_{DSB} = 6.5\text{dB}$ si le bruit 1/f est négligé. Cependant, pour diminuer la consommation tout en fournissant les deux signaux en quadrature, la source de courant qui augmentait le gain en courant de cette structure a été supprimée (voir section 5.2.2). La conséquence immédiate est une fréquence de coupure du bruit 1/f de 300kHz. La figure de bruit estimée dans la bande de fréquence allant de 50kHz à 110kHz est donc de 7.2dB supérieure à celle calculée ci-dessus (voir Equ. 4.6), ce qui donne une figure de bruit de l'étage amplificateur-conversion de fréquence de $NF_{DSB} = 13.7\text{dB}$.

Mesures

Les signaux différentiels de l'entrée RF sont générés par un power splitter 0-180°. Les mesures ont été réalisées avec le circuit d'adaptation et le synthétiseur de fréquence enclenchés. La fréquence est centrée autour de 419MHz car le quartz de référence est à 3.39MHz.

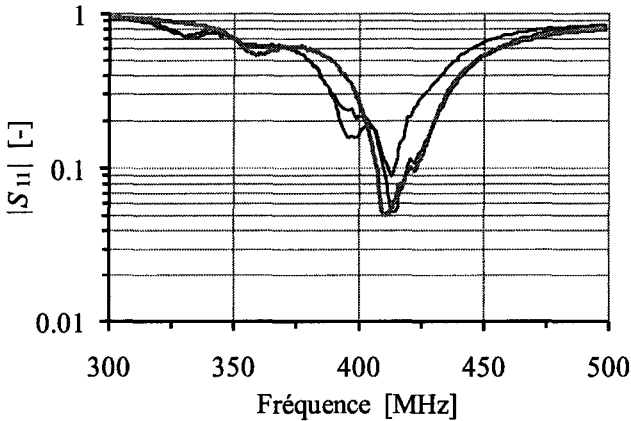


FIG. 7.3 – Mesure de $|S_{11}|$ pour chacune des entrées différentielles (traits fins) ainsi qu'à l'entrée du power splitter (trait gras).

La capacité d'entrée, en parallèle à l'inductance $L = 18\text{nH}$, est estimée à 5pF, tandis que la capacité série $C_S = 2.7\text{pF}$. L'impédance d'entrée est de $57\Omega \angle -34^\circ$ sur une des entrées et de $63\Omega \angle -20^\circ$ sur la seconde. Le taux d'onde stationnaire (TOS ou SWR) est respectivement de 1.2 et 1.3. A l'entrée du générateur, l'impédance est de $71\Omega \angle 12^\circ$ pour un SWR de 1.4. La Fig. 7.3 représente la mesure du module de S_{11} . L'adaptation est bien centrée à 419MHz et la largeur de bande est de 60MHz à -3dB.

Pour une tension d'alimentation de seulement 1V et une consommation globale de $120\mu\text{A}$, une dynamique libre d'interférence de 49dB a été mesurée (voir Fig. 7.4). Le point d'intersection du troisième ordre est de -33dBm tandis que celui du deuxième ordre est de -15dBm. La figure de bruit $NF_{DSB} = 17\text{dB}$ est proche de la figure de bruit global du récepteur. Le gain total en tension est de 41dB, soit de 4dB inférieur à celui estimé. Cette diminution est due principalement aux pertes du circuit d'adaptation. Les performances de ce bloc sont résumées dans le Tab. 7.2.

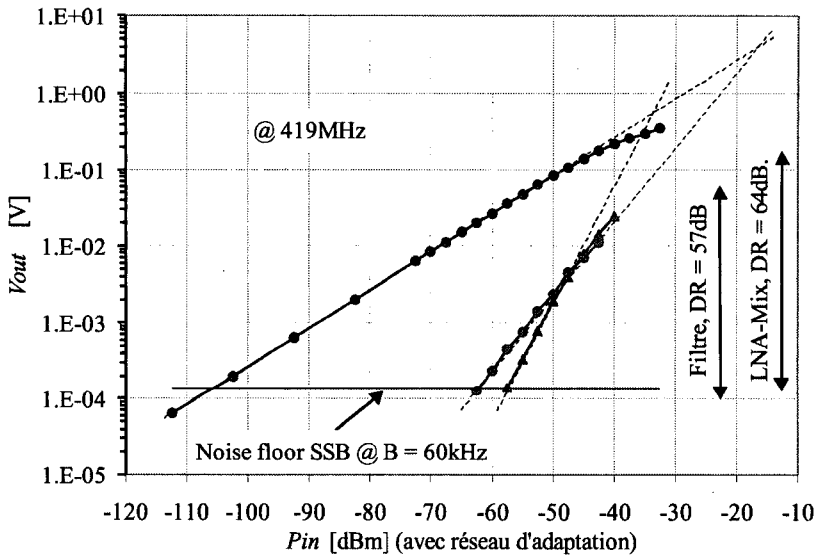


FIG. 7.4 – Gain, point de compression, IIP2, IIP3 et niveau de bruit.

	Calculé	Simulé	Mesuré
Tension d'alimentation	1V	1V	1V
Impédance d'entrée différentielle	2.5k Ω	2.4k Ω	2.5k Ω
Gain en tension total G	45dB	45dB	41dB
Niveau de bruit @ $B=60$ kHz	-109dBm	-110dBm	-106dBm
NF DSB @ 100kHz	14dB	13dB	17dB
IIP3	-37dBm	-35dBm	-33dBm
SFDR @ $B=60$ kHz	48dB	50dB	49dB
Fréq. de coupure du bruit 1/f	300kHz	350kHz	400kHz

TAB. 7.2 – Récapitulation des performances à 419MHz pour 120 μ A de consommation et 100mV de tension crête appliquée par l'oscillateur local.

7.1.2 Filtrés actifs du 8ème ordre

Description

Les filtres actifs ont été conçus par Dominique Python selon le cahier des charges défini au chapitre 2 [69]. Le filtre passe-bande du 8ème ordre a une

réponse de Bessel. En effet, lors de la démodulation FSK, l'information est contenue dans la différence de phase entre les deux signaux I et Q en bande de base. Le filtre passe-bas est du 5ème ordre afin de rejeter le canal adjacent de 55dB tandis que le filtre passe-haut est du 3ème ordre afin de rejeter les offsets et une partie du bruit $1/f$. La dynamique doit être supérieure à 55dB entre le point de compression et le niveau de bruit. La fréquence centrale peut être réglée entre 50kHz et 500kHz. Sous 1V de tension d'alimentation, la consommation totale des deux canaux doit être inférieure à $100\mu\text{A}$ à la fréquence centrale de $f_c = 100\text{kHz}$. Dans ce cas, le filtre passe-haut est à 50kHz et le filtre passe-bas à 150kHz.

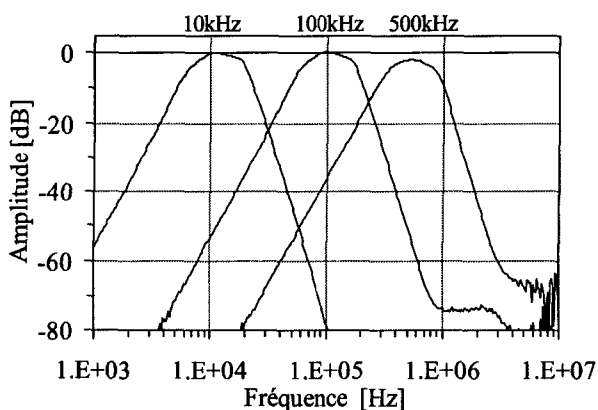


FIG. 7.5 – Caractéristiques de transfert mesurées du filtre passe-bande.

Le filtre passe-bas ainsi que le filtre passe-haut sont réalisés à l'aide d'une topologie $g_m C$ pseudo-différentielle. Le transconducteur de base est constitué d'une paire différentielle réalisée en transistor PMOS, tandis que la sortie en courant est unipolaire [69]. Cette structure est intéressante car la dynamique augmente en dessous de la fréquence de coupure. Par exemple, dans le filtre passe-bas, elle passe de 57dB à la fréquence de coupure à 68dB si la fréquence du signal est 5 fois plus petite que la fréquence de coupure. En effet, à la fréquence de coupure, la dynamique au point de compression est limitée par la linéarité de la paire différentielle à nU_T (voir Tab. A.2). A fréquence nulle, les transconducteurs fonctionnent comme des suiveurs en tension et l'amplitude maximale utile est limitée à 200mV. Pour terminer, la capacité totale intégrée est de 300pF tandis que la consommation de courant est de $80\mu\text{A}$.

Mesures

Pour une fréquence centrale de 100kHz, la consommation est de $40\mu\text{A}$ par canal, soit $25\mu\text{A}$ pour le filtre passe-bas et $15\mu\text{A}$ pour le filtre passe-haut. La dynamique à 1% de THD est supérieure à 57dB et la tension d'alimentation peut être aussi basse que 0.9V. Le niveau de bruit total ramené à l'entrée est de $110\mu\text{V}$ et le point de compression à -1dB est de 80mV. La Fig. 7.5 permet de visualiser les fonctions de transfert pour différents courants de polarisation. La fréquence centrale varie de 10kHz à 500kHz.

7.1.3 Amplificateurs-limiteurs basse-fréquence

Avant de démoduler le signal FSK, il est nécessaire de l'amplifier. Une chaîne de 6 amplificateurs à $g_m R$ a été utilisée. Chaque étage a un gain en tension de 4 (12dB) et le gain total est de 72dB (voir Fig. 7.6). Des boucles de contre-réaction suppriment les offsets tandis que des redresseurs à la sortie de chaque amplificateur donnent une indication sur le niveau du signal d'entrée (RSSI). Afin d'améliorer les performances du démodulateur FSK, ce ne sont pas les sorties I-Q qui sont utilisées par ce dernier, mais les sorties compressées de I et Q.

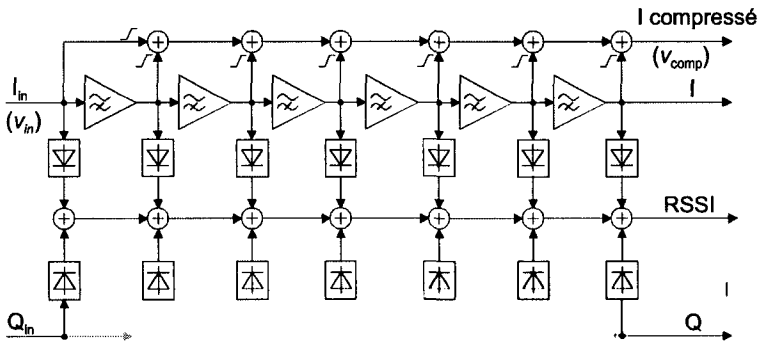


FIG. 7.6 – Amplificateurs-limiteurs basse fréquence.

Amplificateurs

Pour saturer le signal, plusieurs solutions sont envisageables : une amplification de 70dB sur un seul étage ou une amplification distribuée sur plusieurs étages. La seconde solution est préférable, car elle se combine très

facilement avec une sortie RSSI [7]. Un niveau de bruit inférieur à celui des filtres ($\leq 100\mu\text{V}$), une caractéristique basse-bande (30kHz à 500kHz) qui ne détériore pas la réponse de phase des filtres de Bessel et une consommation aussi faible que possible, telles sont les principales contraintes de la chaîne d'amplification.

Les amplificateurs doivent posséder une plage linéaire de sortie suffisante pour ne pas détériorer la réponse de phase. La faible tension d'alimentation ainsi qu'une efficacité optimale du rapport g_m/I impliquent que les transconducteurs d'entrée de chaque étage soient en faible inversion. Leur plage de linéarité au point de compression à 1dB est de nU_T (voir Tab. A.2), ce qui oblige la charge à être linéaire sur $nU_T A_V$, où $A_V = g_m R$ est le gain en tension d'un seul étage. La solution qui consiste à réaliser une charge active de valeur g_m/A_V n'a pas été retenue. En effet, cette solution n'offre pas assez de linéarité (paire de Krummenacher en faible inversion [70]), une surface trop importante (Multi-tanh [71]) et nécessite un réglage du mode commun pour chaque étage. C'est pour ces raisons que le choix s'est porté sur une structure $g_m R$ dont le gain en tension A_V vaut 4 (voir Fig. 7.7).

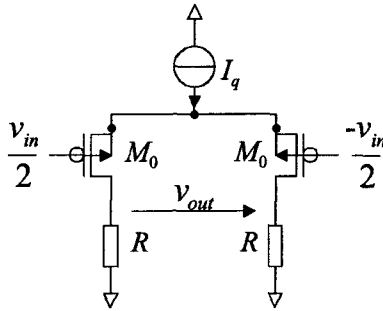


FIG. 7.7 – Circuit d'amplification $g_m R$.

Afin de s'affranchir de la grande dispersion de la valeur absolue des résistances ($\pm 30\%$), le courant de queue $I_q \cong 1.5\mu\text{A}$ est asservi par une PTAT, son courant étant lui-même fonction d'une résistance de référence égale à R . Le facteur d'inversion des transistors est de $IC = 1/8$, la transconductance normalisée $g(IC) \cong 0.9$ et $W/L = 100/1$. Le mode commun de sortie vaut environ 170mV tandis que la résistance de charge R vaut 200k Ω . La taille des transistors est suffisante afin que l'offset résiduel après deux étages de gain soit de seulement 10mV à 3σ . Une boucle de contre-réaction, sur deux étages, supprime les offsets. Afin de diminuer la surface des capacités

de contre-réaction, la tension moyenne aux bornes d'une des deux résistances R est asservie à la tension moyenne présente sur l'autre résistance. Cette solution comporte une seule boucle de contre-réaction $g_{m\text{Loop}}/C_{\text{Loop}}$ au lieu des deux nécessaires en cas d'asservissement du mode commun à une tension de référence. La fréquence de coupure de chaque boucle de contre-réaction est fixée par :

$$f_c = \frac{A_V^k}{2\pi} \cdot \frac{g_{m\text{Loop}}}{C_{\text{Loop}}} \quad (7.3)$$

où $k = 2$ est le nombre d'étages contre-réactionnés tandis que $g_{m\text{loop}}$ et C_{lopp} représente la transconductance et la capacité de contre-réaction. Pour une fréquence de coupure $f_c = 30\text{kHz}$, $I_{q\text{Loop}} = 20\text{nA}$, $g_{m\text{Loop}} \cong 600\text{nS}$ et $C_{\text{Loop}} \cong 50\text{pF}$. Malgré le très faible courant de polarisation des transconducteurs, la capacité de contre-réaction est importante. Au total, 200pF ont été intégrés (2 boucles par canal), c'est-à-dire presque autant que la capacité totale utilisée pour les filtres passe-bande (300pF). Il faut également remarquer qu'une contre-réaction globale (sur toute la chaîne d'amplification) n'est pas envisageable. En effet, le gain en tension est tellement grand que la constante de temps de la boucle augmente considérablement (7.3). Ceci a pour conséquence un temps d'enclenchement important ; certains auteurs obtiennent des constantes de temps de plus de 10 secondes [7].

Signaux compressés

Les signaux utilisés dans le modulateur analogique sont compressés. Pour ce faire, chaque sortie k de la chaîne d'amplificateur est sommée à l'aide de paires différentielles en faible inversion (voir Fig. 7.6). En assurant 1) que le courant total de sortie est converti linéairement en tension sur une résistance $R_1 = R_0/K$ et 2) que le courant de polarisation des paires différentielles est contrôlé par une PTAT ($I_q = nU_T/R_0$), la tension de sortie est de la forme :

$$\frac{v_{\text{comp}}}{nU_T} = \frac{1}{K} \left[\tanh\left(\frac{v_{in}}{nU_T}\right) + \tanh\left(A_V \cdot \tanh\left(\frac{v_{in}}{nU_T}\right)\right) + \tanh\left(A_V \tanh\left(A_V \cdot \tanh\left(\frac{v_{in}}{nU_T}\right)\right)\right) + \dots \right] \quad (7.4)$$

où K est le nombre de sortie sommée tandis que v_{in} et v_{comp} représentent la tension d'entrée des limiteurs ainsi que la tension compressée (voir Fig. 7.6). Pour un gain en tension $A_V \geq 2.5$ et pour une erreur relative inférieure

à 1.5%, cette relation peut s'écrire :

$$\frac{v_{\text{comp}}}{nU_T} = \frac{1}{K} \sum_{k=0}^K \tanh \left(\frac{v_{in}}{nU_T} \cdot A_V^k \right) \quad \text{avec } K = 6 \quad (7.5)$$

La tension de sortie compressée et normalisée est une fonction logarithmique de la tension d'entrée sur une certaine plage d'entrée (voir Fig. 7.8). Pour des tensions d'entrées v_{in} supérieures à nU_T/A_V^K et inférieures à nU_T , on obtient une fonction logarithmique entre la tension d'entrée et celle de sortie :

$$\frac{v_{\text{comp}}}{nU_T} \cong 1 + \frac{1}{K} \cdot \frac{\ln \left(\frac{v_{in}}{nU_T} \right)}{\ln A_V} \quad , \quad \frac{1}{A_V^K} \geq \frac{v_{in}}{nU_T} \geq 1 \quad (7.6)$$

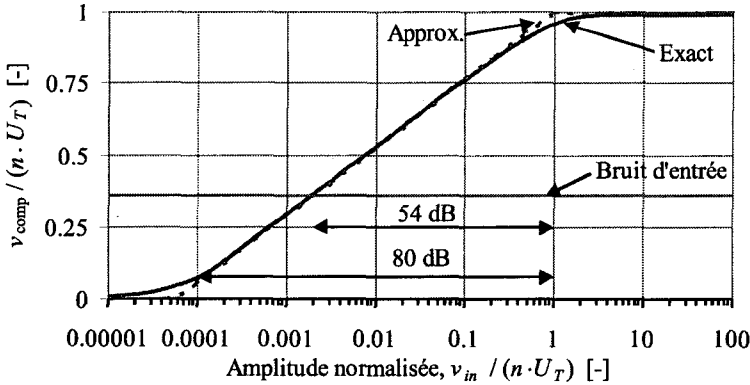


FIG. 7.8 – Fonction de transfert normalisée du redresseur-compresseur pour un gain en tension $A_V = 4$ dans le cas Exact (7.4) ou Approx. (7.6).

Pour un signal d'entrée $v_{in} \cong nU_T/A_V^{K-1}$, seul le dernier étage de la chaîne d'amplification présente un niveau suffisant pour être détecté et la tension de sortie vaut environ nU_T/K . Lorsque $v_{in} \cong nU_T$, tous les étages présentent un déséquilibre et la tension de sortie vaut nU_T . La Fig. 7.8 représente la tension de sortie en fonction de la tension d'entrée dans le cas de la solution exacte (Equ. 7.4) ou approximée (Equ. 7.6) pour un gain en tension $A_V = 4$. La dynamique dans laquelle ce système peut être utilisé est d'environ $20 \cdot K \cdot \log(A_V) = 84\text{dB}$, mais dans notre cas elle est de 55dB à cause de la tension de bruit d'entrée ($200\mu\text{V}$).

Mesures des signaux compressés

La Fig. 7.9 décrit la forme temporelle des signaux obtenus lors d'une démodulation FSK. La puissance du signal d'entrée est de -50dBm, sa déviation de fréquence est de 90kHz et son débit est de 20kbits/s. Les deux signaux I-Q à la sortie des mélangeurs remplissent la partie supérieure de la figure. La partie inférieure représente les signaux I-Q après filtrage et compression.

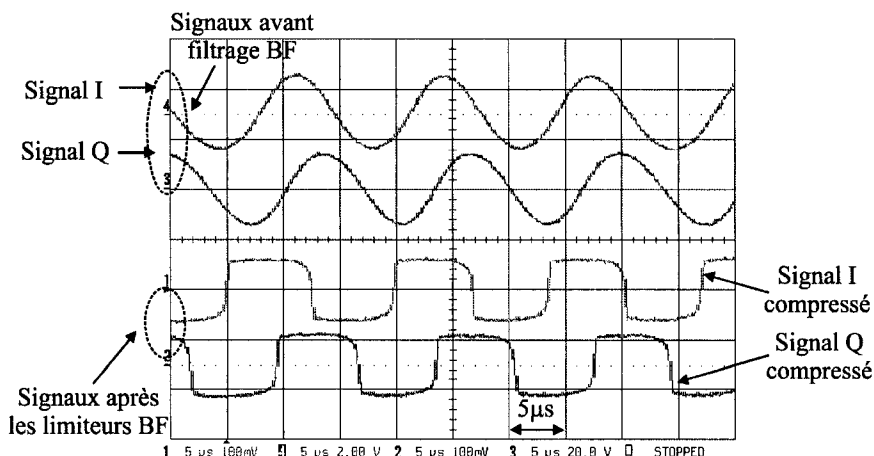


FIG. 7.9 – Mesure des signaux pour une démodulation FSK de 20kbits/s, une déviation de fréquence de 90kHz et -50dBm de puissance d'entrée.

7.1.4 RSSI et démodulateur OOK

Redresseur-compresseur

Afin de fournir une information sur l'énergie contenue dans le signal, chaque sortie de la chaîne d'amplificateur est redressée puis sommée à l'aide d'une fonction non-linéaire, afin que la tension de sortie soit le ln de la puissance d'entrée. Une fois filtrée, la valeur moyenne donne le niveau de sortie RSSI du signal. Le circuit de la Fig. 7.10 est particulièrement intéressant, car il permet à la fois de redresser le signal et de le compresser. Il est utilisé dans les deux canaux I et Q.

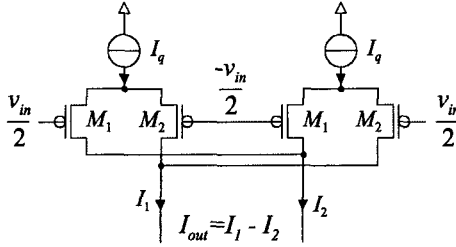


FIG. 7.10 – Redresseur-compresseur utilisé pour la fonction RSSI.

Le redresseur-compresseur est constitué de deux paires différentielles non-symétriques en faible inversion. Les transistors M_1 et M_2 ne sont pas identiques, M_2 est α fois plus large que M_1 ($L_1 = L_2$, $W_2 = \alpha \cdot W_1$). A l'aide de ces hypothèses, la différence des courants de sortie normalisée au courant de polarisation peut s'écrire :

$$\frac{I_{out}}{I_q} = \frac{2 \cdot (1 - \alpha^2)}{1 + \alpha(e^{\frac{v_{in}}{nU_T}} + e^{\frac{-v_{in}}{nU_T}}) + \alpha^2} \quad (7.7)$$

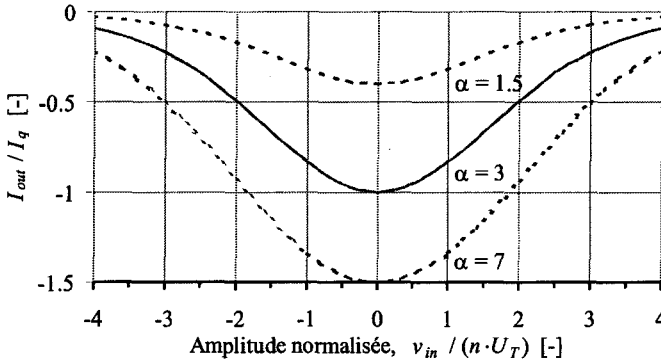


FIG. 7.11 – Fonction de transfert normalisée du redresseur-compresseur.

Lorsque $v_{in}/(nU_T) \rightarrow \pm\infty$, le courant de sortie normalisé $I_{out}/I_q \rightarrow 0$. Lorsque $v_{in} = 0$, le courant normalisé vaut $I_{out}/I_q = 2(1 - \alpha^2)/(1 + \alpha)^2$. Afin de faciliter les circuits de polarisation, $\alpha = 3$ (voir Fig. 7.11). En effet,

en additionnant un courant I_q au courant de sortie, le courant total est nul lorsque $v_{in} = 0$. Le courant de polarisation est quant à lui de $I_q = 40\text{nA}$, la longueur des transistors est de $L_1 = L_2 = 2\mu\text{m}$ tandis que leur largeur vaut $W_1 = 10\mu\text{m}$.

Mesures de la sortie RSSI et du démodulateur OOK

La puissance d'entrée est estimée avec précision. En effet, l'indication RSSI est correcte sur plus de 55dB comme le démontre la Fig. 7.12. Le niveau de sensibilité est inférieur à -100dBm tandis que la chaîne de gain sature pour un signal d'entrée de -45dBm.

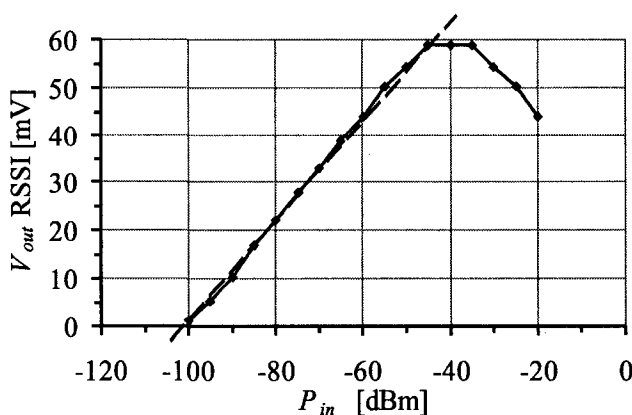


FIG. 7.12 – Tension différentielle de sortie pour l'indicateur RSSI.

La sortie RSSI est également utilisée pour réaliser un démodulateur OOK "On Off Keying" sans réjection de la fréquence image. Pour ce faire, un filtre passe-bas $g_m C$, dont la capacité est externe, ainsi qu'un comparateur ont été intégrés. La valeur de la transconductance g_m est de 600nS, tandis que la capacité externe vaut 1nF. Les signaux temporels de la sortie RSSI ainsi que le signal OOK démodulé pour une puissance d'entrée de -93dBm et 20kbits/s de débit sont représentés à la Fig. 7.13. Les caractéristiques de sensibilité sont identiques à celles mesurées en FSK.

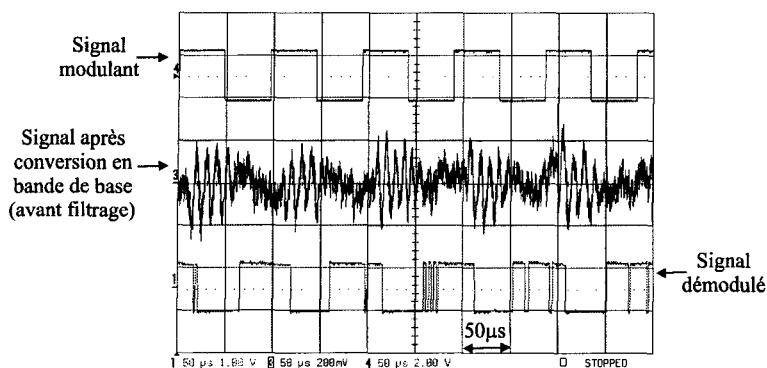


FIG. 7.13 – Signaux temporels pour une démodulation OOK de 20kbits/s, à 90kHz de la fréquence du LO et de -93dBm de puissance d'entrée.

7.1.5 Démodulateur FSK

Pour démoduler les signaux I-Q lors d'une modulation FSK, deux principes ont été intégrés. La première solution utilise les signaux logiques I-Q et une simple bascule D. Cette solution classique a des performances acceptables si la déviation de fréquence Δf est nettement plus élevée que le débit de données. Dans le cas contraire le nombre de transitions diminue et le taux d'erreur augmente. C'est pour cette raison qu'une seconde solution a été utilisée (voir Fig. 7.14). Les signaux compressés I-Q sont filtrés à l'aide d'un filtre complexe analogique [3]. Puis l'énergie contenue dans chacune des deux bandes est détectée et comparée.

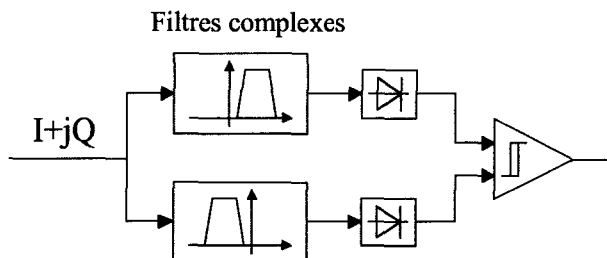


FIG. 7.14 – Démodulateur FSK analogique.

Cette solution est avantageuse, car la valeur moyenne sur un bit est

prise en compte. Cette solution permet une démodulation avec un taux d'erreur inférieur de 3dB à celle de la classique bascule D ($\Delta f = 100\text{kHz}$, $\dot{D} = 20\text{kb/s}$). De plus, lorsque la fréquence de la porteuse est décalée vis-à-vis de la fréquence du LO, le rapport $\Delta f/\dot{D}$ peut tomber à 1 au lieu du rapport 5 obtenu dans un cas idéal. Dans cette situation, le démodulateur continue de fonctionner, ce qui n'est pas le cas de la bascule D.

7.2 Caractéristiques du récepteur

Dans cette section, les caractéristiques globales du système à la réception sont décrites. La sensibilité lors d'une erreur de fréquence entre la porteuse et l'oscillateur local, la réjection des canaux adjacents, la répartition de puissance ainsi qu'un tableau résumant les principales performances sont les points abordés dans cette section. Le circuit intégré comprenant à la fois le récepteur et l'émetteur a été intégré en avril 1999. Sa surface totale est d'environ 10mm^2 (voir Fig. 7.15) et il a été encapsulé dans un boîtier CQFP 80. La moitié de la surface est utilisée par le récepteur, 1/4 par le synthétiseur de fréquence et le dernier 1/4 par le modulateur.

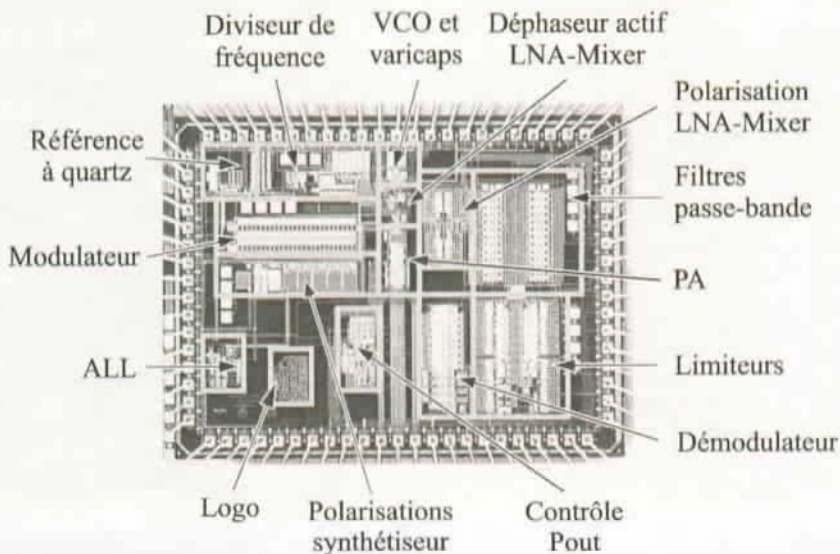


FIG. 7.15 – Photo du transmetteur complet.

Toutes les mesures présentées ci-dessous ont été réalisées sous 1V de tension d'alimentation et la consommation totale du récepteur est de seulement 1mA. Le nombre de pads externes est élevé. En effet, si dans un circuit industriel seule une vingtaine de sorties est nécessaire, dans notre cas de multiples sorties ont été utilisées pour caractériser indépendamment les blocs les uns des autres. Les seules sorties nécessaires sont les circuits d'adaptation d'entrée-sortie, les inductances du VCO, l'oscillateur à quartz, une capacité pour le filtre de boucle de la PLL, un bus d'entrée-sortie série ainsi que quelques capacités de découplages sur les alimentations.

7.2.1 Sensibilité

La mesure de la sensibilité du récepteur a été faite à l'aide d'un "BER-meter" externe. Le signal démodulé est synchronisé sur le débit du signal modulant et son taux d'erreur ou "Bit Error Rate" (BER) est ensuite mesuré. Pour un signal d'entrée pseudo-aléatoire de -97dBm et un débit de 24kbits/s, le taux d'erreur est de 1% (voir Fig. 7.16).

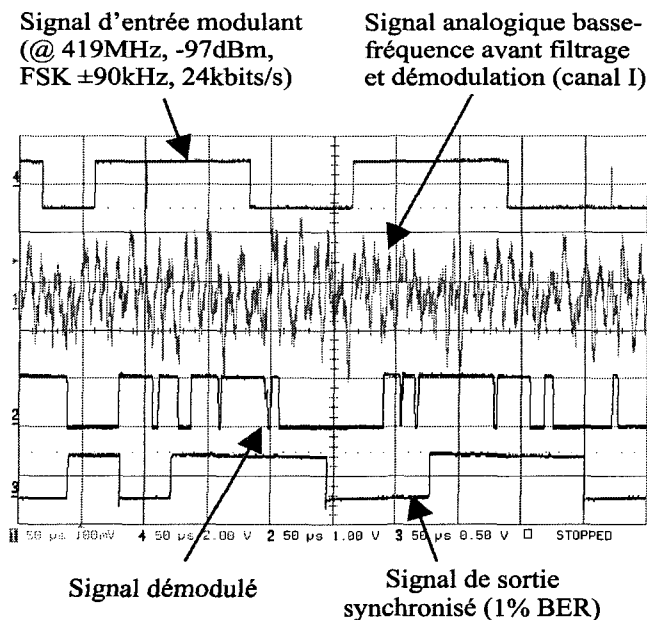


FIG. 7.16 – Signaux à l'intérieur du démodulateur FSK.

Les filtres passe-bande ont une largeur de bande de 100kHz, c'est-à-dire environ 5 fois plus que la largeur de bande minimale nécessaire. Cette perte de sensibilité de 7dB permet au système de fonctionner correctement si la fréquence de la porteuse et celle du synthétiseur de fréquence ne sont pas exactement les mêmes. Pour un BER de 1/1000, la sensibilité du récepteur est de -95dBm si les deux fréquences pré-citées sont identiques. La perte de sensibilité à ± 35 kHz (± 80 ppm) est de 3dB (voir Fig. 7.17).

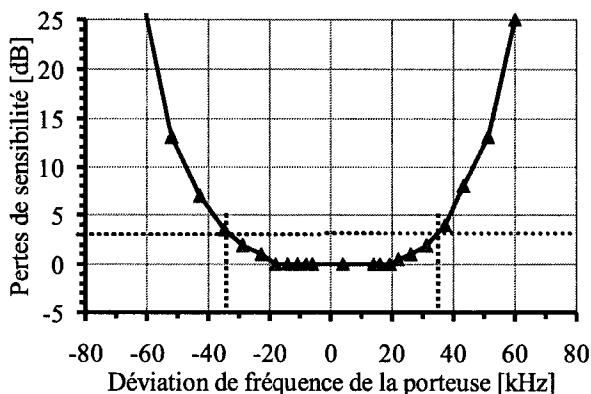


FIG. 7.17 – Pertes de sensibilité dues à un désaccord entre la fréquence du synthétiseur de fréquence et de la porteuse.

7.2.2 Réjection des canaux adjacents

La Fig. 7.18 représente la réjection des canaux adjacents. La mesure de cette réjection est faite de la manière suivante :

1. Un signal FSK pseudo-aléatoire de 24kbits/s d'un niveau supérieur de respectivement 3, 6 et 10dB par rapport au niveau nécessaire pour 1/1000 de BER (-95dBm) est injecté à la fréquence de la porteuse.
2. Un second signal modulé FSK est additionné au premier. Sa fréquence est décalée par rapport à la porteuse.
3. Le niveau du second signal est augmenté jusqu'au moment où le BER chute à 1/1000. La différence de niveau entre le signal dans la bande du récepteur et celui hors bande définit la réjection des interférences.

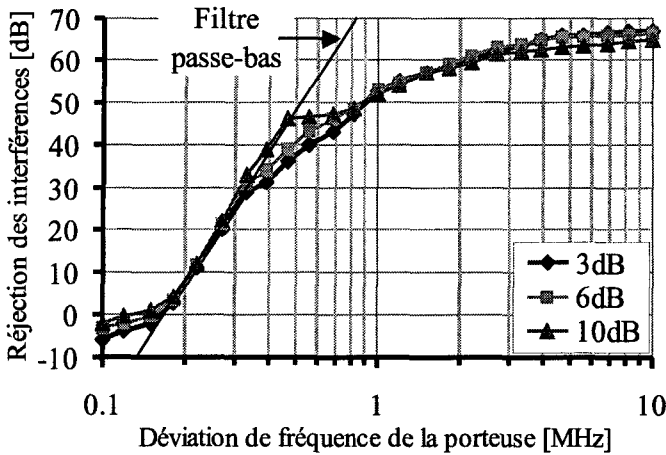


FIG. 7.18 – Réjection des canaux adjacents.

La réjection des canaux adjacents est supérieure à 52dB pour un signal éloigné de la bande centrale de 1MHz. A 2MHz, cette réjection atteint 60dB pour saturer à environ 65dB à 10MHz. Afin de supprimer les canaux hors bande ISM, un filtre à onde de surface est nécessaire. En effet, la réjection des signaux à 2 fois la fréquence de la porteuse est de 30dB et de seulement 20dB à trois fois la fréquence de la porteuse.

7.2.3 Répartition de la puissance consommée

La consommation totale est de 1mA. Ce courant est réparti entre les différents blocs du récepteur (voir Fig. 7.19). L'oscillateur local, le déphaseur actif et le diviseur de fréquence consomment chacun environ 20% du courant total. Le synthétiseur de fréquence représente donc plus de 60% du budget de consommation. L'amplificateur-mélangeur ainsi que les filtres représentent 20% de la consommation, les derniers 20% étant répartis entre les polarisations et différentes fonctions, telles l'oscillateur à quartz, les amplificateurs logarithmiques et le démodulateur. Le nombre de noeuds haute fréquence détermine à peu près la consommation de chacun des blocs. L'oscillateur local, le déphaseur actif et le LNA-Mixer ont 2 noeuds à 420MHz chacun, tandis que le diviseur en a 2 à pleine fréquence et 4 à chaque sous-multiple fréquentiel.

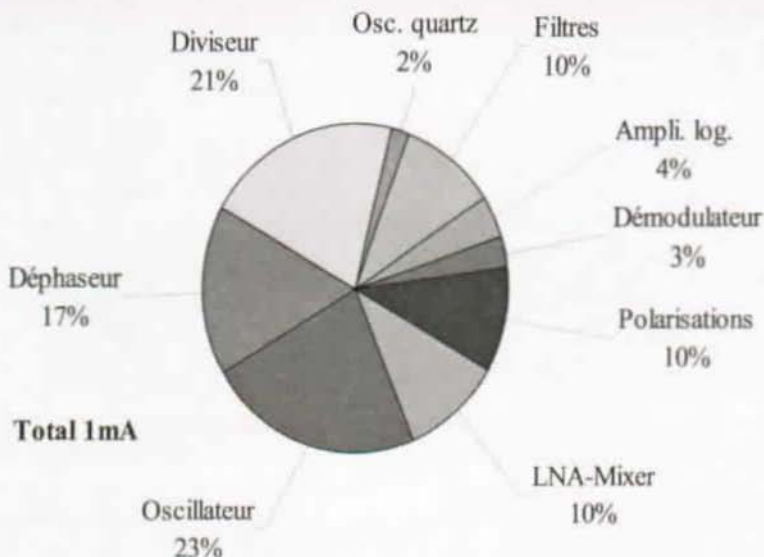


FIG. 7.19 – Répartition de la consommation de puissance.

	Mesuré	Spécifié	Unités
Tension d'alimentation	1.0	1.0	V
Puissance consommée	1.0	1.0	mW
Fréquence de travail	419.5	433.9	MHz
Pas du synthétiseur	273	500	kHz
Fréquence du quartz	3.2768	3.3898	MHz
Sensibilité @ 1/1000 BER	-95	-98	dBm
Déviations de fréquence Δf	100	100	kHz
Largeur des filtres	100	100	kHz
Débit	24	24	kbits/s
Bruit de phase @ 500kHz	-112	-118	dBc

TAB. 7.3 – Récapitulation des performances du récepteur.

Pour conclure, le Tab. 7.3 récapitule les performances globales mesurées du récepteur FSK ainsi que les performances spécifiées lors de l'élaboration du cahier des charges.

7.3 Émetteur

L'émetteur est semblable à celui présenté au chapitre 6. Pour rappel, le modulateur est composé d'un générateur de signaux en quadrature à faible taux de distorsion, d'un mélangeur à réjection d'image et d'un amplificateur pseudo-différentiel à inverseur. Cependant, dans l'émetteur-récepteur complet, le filtre polyphasé a été remplacé par le synthétiseur de fréquence. De plus, une régulation de la puissance de sortie a été rajoutée. Cette fonction supplémentaire est développée ci-après.

7.3.1 Principe de régulation

Au moins deux solutions existent pour régler la puissance de sortie. La première consiste à asservir le courant mesuré à l'aide d'une résistance série. Cette solution n'est pas intéressante, car la moindre résistance série dans la source du transistor de sortie diminue le courant efficace (voir Fig. 6.7). La deuxième solution consiste à régler la tension crête sur la charge de sortie. La puissance de sortie est alors directement fonction de la résistance de charge : $P_{out} = V_p^2 / R_L$.

Ce type de régulation comporte cependant un inconvénient. Lorsque la puissance de sortie diminue, le rendement de l'étage de sortie diminue également. En effet, lors de la conception d'un amplificateur de puissance, l'impédance de charge optimale est fonction de la tension d'alimentation et de la puissance maximale de sortie (voir Equ. 6.14). Pour une charge donnée, une tension crête de sortie V_p plus petite que la tension d'alimentation V_{DD} fait chuter le rendement proportionnellement à $\eta_{out} \propto V_p / V_{DD}$. La puissance moyenne P consommée par l'étage de sortie diminue, quant à elle, proportionnellement à V_p ($P = P_{out} / \eta_{out}$). Le seul moyen de garder le rendement constant serait d'adapter le niveau d'impédance en fonction de la puissance de sortie désirée.

7.3.2 Description du fonctionnement

La Fig. 7.20 présente le schéma de principe de la régulation de la puissance de sortie. La tension de sortie V_p est mesurée à l'aide d'un diviseur capacitif programmable. Afin de diminuer les capacités vers la masse ($\leq 10\%$), le diviseur capacitif est réalisé à l'aide de transistors PMOS en accumulation. Sa capacité totale varie entre 35 et 50fF en fonction du mot de contrôle numérique. Un redresseur suivi d'un filtre passe-bas permet une détection de la valeur crête du signal de sortie. Finalement, une comparaison avec

une grandeur de consigne V_{ref} asservit le courant de polarisation de l'amplificateur de puissance. La bande passante de la boucle de contre-réaction est de 100kHz. La consommation totale de ce bloc sans l'amplificateur de puissance est de $10\mu\text{A}$.

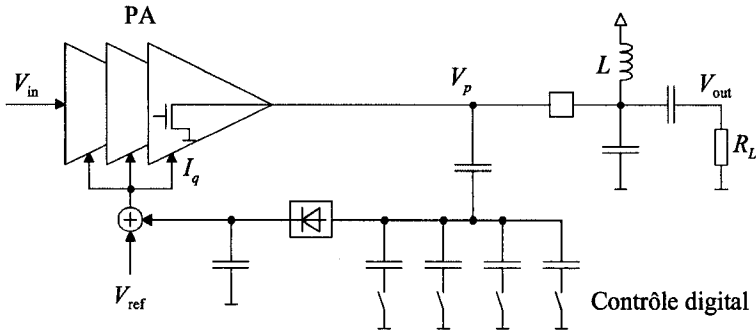


FIG. 7.20 – Schéma de principe de la régulation de puissance.

La tension de référence interne vaut $V_{\text{ref}} = nU_T \cdot \ln(3)$. Elle dépend de la tension thermodynamique afin de compenser, au premier ordre, les effets de la température du redresseur $V_{\text{redres}} \propto nU_T$. Celui-ci est constitué de transistors PMOS en faible inversion, la tension moyenne de sortie valant environ V_{ref} pour une amplitude crête de 100mVp à l'entrée du redresseur.

Quatre positions de régulation, contrôlées numériquement, ont été choisies : $V_p = 1\text{V}$, $1/\sqrt{2} = 0.707\text{V}$, $1/2 = 0.5\text{V}$ et $1/(2\sqrt{2}) = 0.354\text{V}$. Ces niveaux de tension correspondent pour une résistance de charge unipolaire $R_L = 100\Omega$, à des puissances de 10dBm, 7dBm, 4dBm et 1dBm.

7.3.3 Mesures

La mesure de l'émetteur s'est faite avec le synthétiseur de fréquence et le modulateur enclenché. Malgré la grande différence de puissance entre celle fournie par le PA (10mW) et celle consommée par l'oscillateur LC (100μW), aucun problème d'instabilité et de couplage n'est apparu. La modulation par suppression de la fréquence image et conversion directe est donc une alternative très intéressante pour la réalisation d'émetteurs destinés aux bandes ISM. Le fait d'utiliser un pré-amplificateur intégré sans aucun élément externe a fortement diminué les couplages parasites. De plus, le faible nombre de sorties haute fréquence a permis une disposition optimale du PA et de

l'oscillateur LC sur le circuit intégré. Cela a été suffisant pour éviter les problèmes d'instabilité.

La Fig. 7.21a) représente la puissance de sortie P_{out} mesurée en fonction des bits de contrôle. L'erreur mesurée en comparaison des valeurs estimées est inférieure à 0.8dB. Sur la Fig. 7.21b), le rendement global de l'émetteur en fonction des bits de contrôle est présenté. Le rendement total atteint 38% sous 1.2V et 10dBm de puissance de sortie. Comme discuté précédemment, le rendement n'est pas optimal lorsque la tension crête en sortie est plus faible que la tension d'alimentation. Le rendement chute à environ 20% pour $P_{out} = 7\text{dBm}$ et à 10% pour $P_{out} = 4\text{dBm}$ et $P_{out} = 1\text{dBm}$.

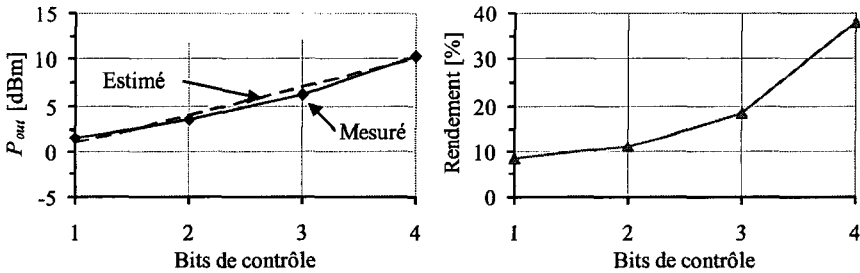


FIG. 7.21 – Puissance de sortie et rendement global de l'émetteur en fonction des bits de contrôle de la puissance d'émission.

7.4 Conclusions

Dans ce chapitre, un émetteur-récepteur intégré dans une technologie CMOS $0.5\mu\text{m}$ est présenté. Le récepteur fonctionne sous 1V de tension d'alimentation et consomme seulement 1mA. Le récepteur, à l'exception du synthétiseur de fréquence, est détaillé. Le niveau de sensibilité est de -95dBm pour un BER de 1/1000 et un débit de 24kbit/s. La réjection des canaux adjacents est supérieure à 52dB à 1MHz de la fréquence de la porteuse.

L'émetteur, qui comprend un modulateur à phase continue et un mélangeur à réjection d'image, fournit une puissance de sortie maximale de 10dBm sous 1.2V de tension d'alimentation. La puissance de sortie est réglable entre 1dBm et 10dBm par pas d'environ 3dB.

Chapitre 8

Conclusions

8.1 Résultats obtenus

Les résultats obtenus lors de l'élaboration de cette thèse sont la conception et la réalisation en technologie CMOS standard de blocs critiques d'un système émetteur-récepteur appliqué à des liaisons radio courtes distances. La recherche s'est focalisée sur des structures permettant le fonctionnement des différents blocs sous une tension d'alimentation égale à celle d'une seule pile (1.0 à 1.6V). Voici brièvement un rappel des principaux résultats obtenus.

Étude système

Une étude système des contraintes et des performances attendues d'un système émetteur-récepteur "half-duplex" à très faible consommation a été réalisée. Il a été démontré qu'une architecture à conversion directe ainsi qu'une modulation FSK à grand rapport entre la déviation de fréquence et le débit est une solution optimale pour ce type d'application. La sensibilité, le débit, l'autonomie ainsi que la tolérance sur la référence de fréquence ont permis l'élaboration d'un cahier des charges pour ce type d'application.

Limites technologiques

L'étude des limitations d'une technologie CMOS lors de son utilisation à haute fréquence et pour un budget de consommation restreint est réalisée. Deux figures de mérite technologique sont proposées. La première est liée à la tension d'alimentation et à la tension de pincement du dispositif. Elle met en

évidence les contraintes rencontrées sous très faible tension d'alimentation. La seconde décrit les limites fréquentielles pour des transistors polarisés à faible densité de courant. Il est également démontré que l'inversion modérée est un bon compromis entre les contraintes de vitesse, de dynamique et de faible consommation.

Bruit dans les mélangeurs

Les limites de sensibilité d'un récepteur à conversion directe ou quasi-directe sont décrites. Il a très clairement été démontré que le bloc qui cause le plus de dégradation de la sensibilité due à son bruit $1/f$ est le mélangeur en bande de base. Une étude analytique des différentes fonctions de transfert du bruit dans un mélangeur a été réalisée. Les gains de transposition du signal, du bruit $1/f$ et du bruit blanc sont modélisés. Cette analyse, validée par des mesures en technologie digitale $0.5\mu\text{m}$, prend en compte le facteur d'inversion des différents transistors, l'amplitude appliquée par l'oscillateur local ainsi que l'effet du pôle interne du mélangeur.

Amplification et conversion de fréquence

Un poids important a été accordé à l'étude de différentes topologies simples permettant d'amener le signal depuis l'antenne dans le circuit intégré. L'objectif consiste à minimiser le nombre de composants externes sans ajouter un asservissement de leur valeur. Trois types d'amplificateur-mélangeur ont été mesurés. La meilleure solution consomme $200\mu\text{A}$ sous 1.0V de tension d'alimentation pour une figure de bruit DSB de 9dB et une SFDR de 64dB.

Émetteur-récepteur

Un émetteur-récepteur intégré dans une technologie CMOS $0.5\mu\text{m}$ est présenté. Le récepteur fonctionne sous 1V de tension d'alimentation et consomme seulement 1mA . Le niveau de sensibilité est de -95dBm pour un BER de $1/1000$ et un débit de 24kb/s . La réjection des canaux adjacents est supérieure à 52dB à 1MHz de la fréquence de la porteuse. L'émetteur, qui comprend un modulateur à phase continue, fournit une puissance de sortie maximale de 10dBm sous 1.2V de tension d'alimentation pour un rendement global de 38%. La puissance de sortie est réglable entre 1dBm et 10dBm par pas d'environ 3dB.

8.2 Perspectives futures

Le développement de systèmes de communication à courtes et moyennes distances est en pleine expansion. La faible consommation est une des principales contraintes à laquelle ces systèmes devront répondre dans un proche avenir. Citons, par exemple, l'initiative Bluetooth (www.bluetooth.com), constituée par des géants de l'industrie de la microélectronique (3Com, Ericsson, Lucent, IBM, Microsoft, Motorola, NOKIA et Toshiba), soucieux d'unir leurs ressources afin de développer un standard dans la bande ISM des 2.4GHz. Cette démarche a l'avantage de fixer des règles à l'intérieur de la bande ISM afin d'éviter une pollution de celle-ci. De plus, une place importante est accordée à la faible consommation en relaxant, par exemple, les contraintes de sensibilité (-70dBm pour 1Mbits/s).

Améliorations techniques

La réalisation d'un prototype de transmetteur intégré CMOS a permis de mettre en évidence quelques points faibles. Voici une liste exhaustive des améliorations possibles et souhaitables :

1. La dynamique du récepteur, pour un signal à démoduler sans perturbateurs, peut être augmentée en rajoutant un contrôle automatique de gain à l'entrée de la chaîne de réception.
2. Il a été démontré récemment que le bruit $1/f$ des mélangeurs ainsi que les produits d'intermodulation d'ordre 2 peuvent être supprimés à l'aide d'un circuit "chopper" [72]. Cette solution est intéressante pour améliorer la sensibilité d'un récepteur faible consommation.
3. Une augmentation de la consommation des filtres passe-bande est nécessaire afin d'augmenter leur dynamique. Sous faible tension d'alimentation, l'utilisation d'une paire différentielle dégénérée en faible inversion est une solution à envisager [70].
4. Actuellement, le problème du commutateur d'antenne n'a pas été abordé. Cependant, en diminuant la puissance de sortie maximale, il est possible d'obtenir un niveau d'impédance identique à l'entrée de l'amplificateur faible bruit et à la sortie de l'amplificateur de puissance. Si cette contrainte est réalisée, un seul réseau d'adaptation est nécessaire.

Evolution technologique

Cette thèse a démontré la faisabilité de circuits haute fréquence à faible consommation, sous très faible tension d'alimentation et en inversion modérée. Les solutions utilisées, telles que la conversion directe, l'utilisation d'une technologie CMOS numérique ainsi que la réduction du nombre de composants externes sont en parfaite adéquation avec les contraintes d'un système de communication hertzien à courte distance.

En profitant de l'évolution des technologies CMOS modernes ($\leq 0.25\mu\text{m}$), il est tout à fait envisageable de concevoir un circuit industriel travaillant à 1GHz, et peut-être à 2.4GHz, sous 1V de tension d'alimentation et consommant seulement 1mA. Cette réalisation sera facilitée grâce à l'abaissement de la tension de seuil des technologies modernes sub-microniques.

Annexe A

Distorsion, bruit et dynamique

Afin de déterminer la limite supérieure de linéarité ou la dynamique d'un système, différentes notions sont utilisées dans la littérature [34],[44]. Le point d'intersection du troisième ordre ou le point de compression à 1dB décrivent couramment les étages d'entrées tels que les amplificateurs ou les mélangeurs. Le taux de distorsion harmonique est, quant à lui, utilisé dans les spécifications des filtres. Cette annexe rappelle donc les différentes relations existant entre :

- le point de compression à 1dB,
- le taux de distorsion harmonique,
- le point d'intersection du troisième ordre,
- la figure de bruit et le facteur de bruit F ,
- la dynamique au point de compression DR,
- la dynamique libre d'interférence SFDR.

Parallèlement, les notions ci-dessus sont calculées et discutées pour quelques circuits classiques tels que la paire différentielle en faible inversion, en forte inversion ou dégénérée par une résistance. Pour terminer, un tableau récapitule les figures de mérite en linéarité, bruit et dynamique.

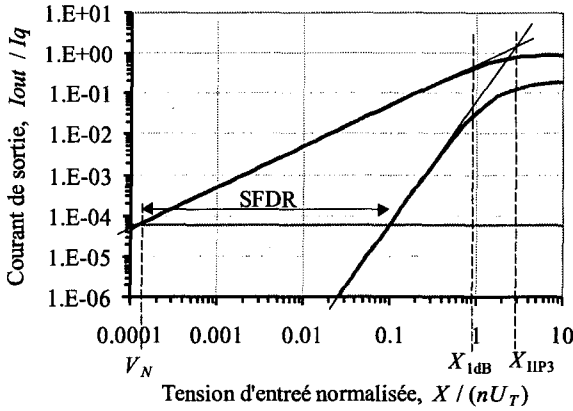


FIG. A.1 – Tension de bruit V_N ($B = 100\text{kHz}$, $I_q = 30\mu\text{A}$), point de compression X_{1dB} , point d'intersection du troisième ordre X_{IIP3} et dynamique libre d'interférence (SFDR) pour une paire différentielle en faible inversion.

A.1 Distorsion

Soit la fonction de transfert non-linéaire $f(x)$ définie par sa série de Taylor autour d'un point de fonctionnement :

$$f(x) = k_0 + k_1 \cdot x + k_2 \cdot x^2 + k_3 \cdot x^3 + \dots \quad (\text{A.1})$$

La fonction $f(x)$ peut être simplifiée dans le cas des circuits intégrés où, des structures différentielles sont utilisées afin d'augmenter la dynamique et la réjection des perturbateurs de mode commun. Dans la plupart des cas pratiques, par exemple la paire différentielle, l'approximation suivante est suffisante :

$$f_{1,3}(x) = k_1 \cdot x + k_3 \cdot x^3 \quad (\text{A.2})$$

Pour mémoire, les mesures du point de compression à 1dB, du taux de distorsion harmonique ainsi que de la dynamique sont réalisés avec une seule sinusoïde d'entrée dont la valeur efficace est X ,

$$x(t) = \underbrace{\sqrt{2} \cdot X}_{\hat{X}} \cdot \cos(\underbrace{\omega t}_{\phi}) \quad (\text{A.3})$$

alors que le point d'intersection du troisième ordre et la dynamique libre d'interférence (SFDR) sont des mesures à deux sinusoïdes ("tones") avec des pulsations différentes mais des amplitudes identiques, ce qui permet d'écrire pour le signal d'entrée $x(t)$:

$$x(t) = \sqrt{2} \cdot X \cdot [\cos(\omega_1 t) + \cos(\omega_2 t)] \quad (\text{A.4})$$

A.1.1 Série de Fourier

La série de Fourier bilatérale ainsi que ses coefficients C_n sont utilisés pour calculer le point de compression à 1dB, le taux de distorsion harmonique et le point d'intersection du troisième ordre d'une fonction non-linéaire $f(x)$, dont $x = \hat{X} \cos(\phi)$. Rappelons que, pour un signal réel, $|C_n| = |C_{-n}|$ et $\arg X_n = -\arg X_{-n}$.

$$f(\hat{X} \cos(\omega_1 t)) = \sum_{n=-\infty}^{\infty} C_n \exp(jn\omega_1 t) \quad (\text{A.5})$$

$$f(\hat{X} \cos(\phi)) = \sum_{n=-\infty}^{\infty} C_n \exp(jn\phi) \quad (\text{A.6})$$

$$C_n = \frac{1}{T} \int_{-T/2}^{T/2} f(\hat{X} \cos(\omega_1 t)) \cdot \exp(-jn\omega_1 t) dt \quad (\text{A.7})$$

$$C_n = \frac{1}{2\pi} \int_{-\pi}^{\pi} f(\hat{X} \cos(\phi)) \cdot \exp(-jn\phi) d\phi \quad (\text{A.8})$$

A.1.2 Point de compression à 1dB

Le point de compression à 1dB (X_{1dB}) est obtenu lorsque le gain de la sinusoïde d'entrée s'écarte de 1dB de celui obtenu en petits signaux. Si le gain est inférieur au gain petits signaux, on parle de compression (X_{-1dB}) ; dans le cas contraire, on parle d'expansion (X_{+1dB}). Mathématiquement, cette définition s'écrit :

$$10^{\pm 1/20} = \frac{2 \cdot |C_1(\sqrt{2} \cdot X_{\pm 1dB})|}{k_1 \cdot \sqrt{2} \cdot X_{\pm 1dB}} \quad (\text{A.9})$$

Fonction impaire du troisième ordre

Pour une fonction $f_{1,3}(x)$ impaire du troisième ordre, on obtient :

- une compression lorsque le signe de k_3 est différent de celui de k_1 :

$$X_{-1dB} = \sqrt{\frac{2}{3} \cdot \left| \frac{k_1}{k_3} \right| \cdot (1 - 10^{-1/20})} \cong 0.269 \cdot \sqrt{\left| \frac{k_1}{k_3} \right|} \quad (\text{A.10})$$

- une expansion lorsque les signes de k_1 et k_3 sont identiques :

$$X_{+1dB} = \sqrt{\frac{2}{3} \cdot \left| \frac{k_1}{k_3} \right| \cdot (10^{1/20} - 1)} \cong 0.285 \cdot \sqrt{\left| \frac{k_1}{k_3} \right|} \quad (\text{A.11})$$

La compression d'un signal étant plus courante que son expansion et la différence numérique entre les deux valeurs étant d'environ 5%, soit seulement de 0.5dB, on écrit par simplification :

$$X_{1dB} \cong X_{-1dB} = 0.269 \cdot \sqrt{\left| \frac{k_1}{k_3} \right|} \quad (\text{A.12})$$

A.1.3 Taux de distorsion harmonique

Le taux de distorsion harmonique (THD) est le rapport entre la valeur efficace des harmoniques du signal et celle du signal distordu.

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} C_n^2}}{\sqrt{\sum_{n=1}^{\infty} C_n^2}} = 1 - \frac{k_1 \sqrt{2} X}{\sqrt{\frac{1}{2\pi} \int_{-\pi}^{\pi} f^2 \left(\sqrt{2} X \cos(\phi) \right) d\phi}} \quad (\text{A.13})$$

Fonction impaire du troisième ordre

Dans le cas d'une fonction $f_{1,3}(x)$ impaire du troisième ordre, et pour des taux de distorsion inférieurs à 4% (erreur relative de 10%), la relation A.13 s'écrit puis se simplifie :

$$THD = \frac{1}{\sqrt{1 + \frac{C_1^2}{C_3^2}}} = \frac{1}{\sqrt{1 + \left(3 + \frac{2}{X^2} \cdot \frac{k_1}{k_3} \right)^2}} \cong \frac{X^2}{2} \cdot \frac{k_3}{k_1} \quad (\text{A.14})$$

Ce qui permet de définir, avec une erreur relative inférieure à 3%, la tension d'entrée efficace pour un taux de distorsion de 1% ($X_{1\%}$).

$$X_{THD} = \sqrt{2 \cdot THD \cdot \left| \frac{k_1}{k_3} \right|} \quad (A.15)$$

$$X_{1\%} = \sqrt{0.02 \cdot \left| \frac{k_1}{k_3} \right|} \quad (A.16)$$

A.1.4 Point d'intersection du troisième ordre

Les non-linéarités d'ordres 3 permettent à deux signaux de fréquence f_1 et f_2 d'en créer d'autres aux fréquences $2f_1 \pm f_2$ et $2f_2 \pm f_1$. Lorsque f_1 et f_2 sont proches, $2f_1 - f_2$ et $2f_2 - f_1$ perturbent la sensibilité, car elles tombent dans la bande passante du signal. En petits signaux, l'amplitude de la fondamentale du signal de sortie est proportionnelle à celle du signal d'entrée, alors que les amplitudes des produits d'intermodulation du 3ème ordre varient avec le cube de l'amplitude d'entrée (voir Fig. A.1). Le point d'intersection du troisième ordre (X_{IIP3}) décrit de manière asymptotique le niveau d'entrée auquel l'amplitude de la fondamentale et celles des harmoniques sont égales. Cette fonction dépend uniquement des coefficients k_1 et k_3 de la série de Taylor $f(x)$:

$$X_{IIP3} = \sqrt{\frac{2}{3} \left| \frac{k_1}{k_3} \right|} \quad (A.17)$$

A.1.5 Fonction impaire du troisième ordre $f_{1,3}(x)$

Notons, pour $f_{1,3}(x)$, que les coefficients k_1 et k_3 du développement de Taylor relient de manière univoque le point de compression à 1dB, le taux de distorsion harmonique ainsi que le point d'intersection du troisième ordre. Le point d'intersection X_{IIP3} sert de référence, car il ne dépend que de k_1 et k_3 sans qu'aucune approximation ne soit faite sur $f(x)$. Ce qui permet d'écrire :

$$X_{-1dB} = X_{IIP3} \cdot \sqrt{1 - 10^{-1/20}} \cong 0.330 \cdot X_{IIP3} \quad (A.18)$$

$$X_{+1dB} = X_{IIP3} \cdot \sqrt{10^{1/20} - 1} \cong 0.350 \cdot X_{IIP3} \quad (A.19)$$

$$X_{1\%} = X_{IIP3} \cdot \sqrt{0.03} \cong 0.173 \cdot X_{IIP3} \quad (A.20)$$

$$X_{THD} = X_{IIP3} \cdot \sqrt{3 \cdot THD} \quad (A.21)$$

On remarque donc que le point de compression à -1dB (X_{-1dB}) est 9.6dB en dessous du point d'intersection du troisième ordre (X_{IIP3}) et 5.6dB au dessus du point à 1% de distorsion ($X_{1\%}$); $X_{1\%}$ est 15.2dB en dessous de X_{IIP3} . De plus, il est évident d'écrire qu'au point de compression, le taux de distorsion harmonique est de 3.6%.

A.2 Limites de linéarité

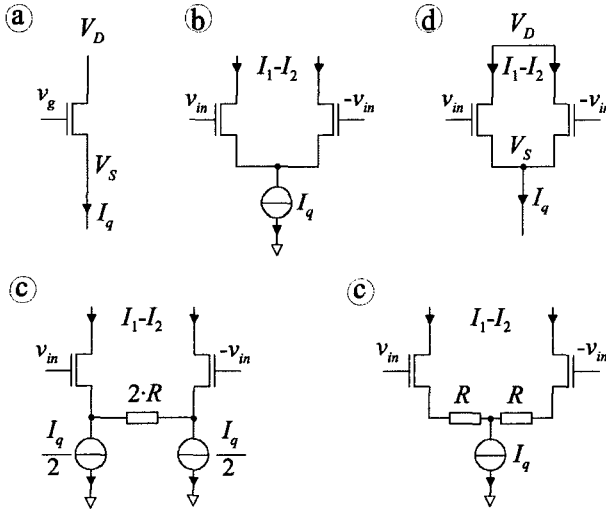


FIG. A.2 – Structures calculées : a) transistors NMOS en faible et forte inversion, b) paire différentielle, c) paires différentielles dégénérées, d) différence de courant pour des transistors NMOS en conduction.

Dans cette section, les limites de linéarité du transistor MOS ainsi que de quelques structures différentielles sont rappelées (voir Fig. A.2). Les cas décrits sont :

1. Le transistor saturé en faible inversion (MOS en faible inversion).
2. Le transistor saturé en forte inversion, mais avec la saturation de mobilité due au champ vertical Θ (MOS en forte inversion).
3. La paire différentielle en faible inversion (Diff. en faible inversion).
4. La paire différentielle en forte inversion, mais sans la saturation de mobilité (Diff. en forte inversion).

5. La paire différentielle en faible inversion, fortement dégénérée par une résistance (Diff. dégénérée). La fonction de transfert s'obtient à l'aide d'une équation transcendante qui s'écrit :

$$\frac{I_{out}}{I_q} = \tanh \left(\frac{RI_q}{2U_T} \cdot x - \frac{RI_{out}}{2U_T} \right) \quad (A.22)$$

$$\cong x - \frac{2U_T}{3RI_q} \cdot x^3 \quad \text{avec} \quad x = \frac{2v_{in}}{nRI_q} \quad (A.23)$$

6. La différence des courants de deux transistors en conduction, en forte inversion et avec réduction de mobilité (Diff. en conduction).

Le Tab. A.1 décrit, pour les structures pré-citées, les fonctions de transfert tension-courant grands signaux autour du point de polarisation, ainsi que les coefficients des trois premiers termes de leur développement en série de Taylor.

	$I_{out} = I_q \cdot f(x)$	x	k_1	k_2	k_3
MOS en faible inversion	$I_q \cdot \exp(x)$	$\frac{v_G}{nU_T}$	1	1/2	1/6
MOS en forte inversion	$I_q \cdot \frac{(1+x)^2}{1+\Theta'x}$	$\frac{v_G}{2nU_T\sqrt{IC}}$	$2 - \Theta'$	$(1 - \Theta')^2$	$\Theta'(\Theta' - 1)^2$
Diff. en faible inversion	$I_q \cdot \tanh(x)$	$\frac{v_{in}}{nU_T}$	1	0	-1/3
Diff. en forte inversion	$I_q \cdot x \sqrt{1 - \frac{x^2}{4}}$	$\frac{v_{in}}{nU_T\sqrt{IC}}$	1	0	-1/8
Diff. dégénérée	voir A.22	$\frac{2v_{in}}{nRI_q}$	1	0	$-\frac{2U_T}{3RI_q}$
Diff. en conduction	$I_q \cdot \frac{x(1 - \Theta'')}{1 - (\Theta''x)^2}$	$\frac{v_{in}}{n \left(\sqrt{V_P - \frac{V_{DS}}{2}} \right)}$	$1 - \Theta''$	0	$\Theta''^2(\Theta'' - 1)$

TAB. A.1 – Fonctions de transfert et coefficients de la série de Taylor.

I_q représente le courant total et IC le facteur d'inversion des transistors saturés. Pour les transistors polarisés en conduction, V_P et V_{DS} décrivent le point de polarisation des transistors. v_G est la tension crête d'entrée appliquée sur la grille tandis que v_{in} est la tension crête d'entrée unipolaire appliquée sur les structures différentielles. Lors d'une excitation par la source, les résultats obtenus pour le transistor MOS sont applicables, à condition de poser $n = 1$. Pour terminer, Θ' et Θ'' tiennent compte de la

réduction de mobilité Θ ainsi que de la polarisation des transistors.

$$\Theta' = \frac{\Theta \cdot 2U_T \sqrt{IC}}{1 + \Theta (2U_T \sqrt{IC} + V_s)}$$

$$\Theta'' = \frac{\Theta (V_P - V_{DS}/2)}{1 + \Theta \cdot V_P} \cong \frac{\Theta \cdot V_P}{1 + \Theta \cdot V_P}$$

Pour un transistor unique, le coefficient de Taylor k_3 est de signe positif en faible inversion et négatif en forte inversion avec saturation de mobilité. Il existe donc un point, en inversion modérée, où ce coefficient s'annule. Malheureusement, ce point dépend fortement des effets de second ordre, tels que les réductions de mobilité verticale et horizontale. Il n'est donc pas utilisable dans le but de repousser le point d'intersection du troisième ordre. En forte inversion, un transistor MOS ou la différence de courant entre deux MOS en conduction ont un point d'intersection du troisième ordre uniquement, si l'on tient compte de la réduction de mobilité verticale Θ .

	X	$\frac{X_{1dB}}{X}$		$\frac{X_{1\%}}{X}$		$\frac{X_{IIP3}}{X}$
		$f(x)$	$f_{1,3}(x)$	$f(x)$	$f_{1,3}(x)$	
MOS en faible inversion	nU_T	0.685	0.700	0.354	0.346	2
MOS en forte inversion	$2nU_T \sqrt{IC}$	—	—	—	—	$\sqrt{\frac{2}{3} \frac{2-\Theta'}{\Theta'(1-\Theta')^2}}$
Diff. en faible inversion	$2nU_T$	0.504	0.467	0.250	0.245	$\sqrt{2}$
Diff. en forte inversion	$2nU_T \sqrt{IC}$	0.738	0.762	0.390	0.400	$\frac{4}{\sqrt{3}}$
Diff. dégénérée	nRI_q	1	1	1	1	$\sqrt{\frac{RI_q}{2U_T}}$
Diff. en conduction	$2n(V_P - \frac{V_{DS}}{2})$	—	—	—	—	$\frac{2}{3\Theta'^2}$

TAB. A.2 – Point de compression à 1dB, taux de distorsion harmonique à 1% et point d'intersection du troisième ordre pour une tension d'entrée efficace et unipolaire X .

Le tableau A.2 évalue le point de compression à 1dB, le taux de distorsion harmonique à 1% ainsi que le point d'intersection du troisième ordre pour les exemples décrits précédemment. Les colonnes données en fonction de $f(x)$ sont des résultats simulés, tandis que les colonnes fonctions de $f_{1,3}(x)$

sont les résultats calculés à l'aide des séries de Taylor (voir Tab. A.1). X représente la valeur efficace d'un signal d'entrée unipolaire et permet de comparer la dynamique de structures unipolaires et différentielles.

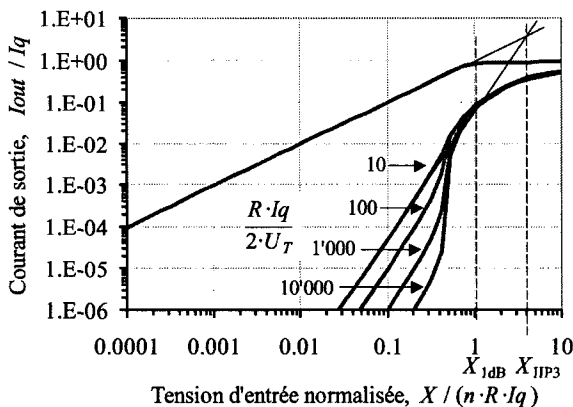


FIG. A.3 – Evolution du point d'intersection du troisième ordre dans une paire différentielle dégénérée par une résistance. X et I_{out} sont des valeurs efficaces unipolaires.

Dans le cas de la paire différentielle fortement dégénérée, les relations liant le point d'intersection du troisième ordre avec le point de compression à 1dB, ou le point à 1% de distorsion harmonique, sont erronées. En effet, comme on le voit dans le Tab. A.2 ainsi que sur la Fig. A.3, le point d'intersection du troisième ordre est proportionnel à $(R \cdot I_q)^{3/2}$. Le gain de la fondamentale est quant à lui proportionnel au facteur $R \cdot I_q$. Lorsque ce produit tend vers l'infini, une incohérence apparaît : le point d'intersection augmente plus rapidement que la plage linéaire et la dynamique libre d'interférence tend vers l'infini. A l'évidence, ce résultat n'est pas correct, la linéarité étant limitée par le débattement maximal de tension $R \cdot I_q$ (voir Fig. A.3). Cependant, en circuit intégré, le produit $R \cdot I_q \leq 200 \cdot U_T = 5V$. Le point d'intersection peut donc être calculé approximativement par :

$$X_{IIP3} \cong nRI_q \sqrt{\frac{RI_q}{2U_T}} \quad (A.24)$$

A.3 Bruit

Il existe différentes manières de caractériser le bruit d'un système. La définition la plus courante consiste à définir la figure de bruit NF comme la dégradation du rapport signal sur bruit SNR . Pour un système donné, SNR_{in} est le rapport signal sur bruit à l'entrée, SNR_{out} à la sortie et F le facteur de bruit.

$$NF = 10 \cdot \log \left(\frac{SNR_{in}}{SNR_{out}} \right) = 10 \cdot \log(F) \quad \text{avec} \quad F = \left(1 + \frac{N_a}{N_i} \right) \quad (\text{A.25})$$

où N_a est la densité spectrale de puissance de bruit à l'entrée du système tandis que N_i est celle de la résistance de source [44]. Le bruit additionné par des amplificateurs ou des mélangeurs est couramment décrit en figure de bruit NF tandis que, dans les filtres, on parle plus volontiers de facteur de bruit F .

A.3.1 Densité spectrale de bruit en tension ou en courant

Dans un circuit intégré, les signaux sont soit en tension, soit en courant : on parle donc de densité spectrale de bruit en tension S_{VN} en V^2/Hz ou en courant S_{IN} en A^2/Hz . Le niveau de bruit absolu en tension V_N ou en courant I_N dans une bande de fréquence donnée B s'écrit, pour du bruit blanc :

$$V_N = \sqrt{\int_{f=f_0}^{f_0+B} S_{VN} df} = \sqrt{B \cdot S_{VN}} \quad (\text{A.26})$$

$$I_N = \sqrt{\int_{f=f_0}^{f_0+B} S_{IN} df} = \sqrt{B \cdot S_{IN}} \quad (\text{A.27})$$

A.4 Dynamique

La dynamique d'un système est définie par deux limites, l'une associée au niveau de bruit ou à un rapport signal sur bruit minimal, l'autre associée aux non-linéarités.

A.4.1 Dynamique libre d'interférence SFDR

En télécommunications, la dynamique libre d'interférence SFDR, donnée en dB, est la plus stricte. Elle définit le rapport entre le niveau auquel le produit d'intermodulation d'ordre trois atteint le niveau de bruit, et, le niveau de bruit dans une largeur de bande donnée ($SNR = 1$). Elle dépend directement du point d'intersection du troisième ordre X_{IIP3} et de la tension de bruit V_N au même noeud :

$$SFDR = \frac{2}{3} \cdot 10 \log \left(\frac{X_{IIP3}^2}{V_N^2} \right) \quad (A.28)$$

$$\left(\frac{X_{IIP3}}{V_N} \right)^2 = 10^{\frac{3}{2} \frac{SFDR}{10}} \quad (A.29)$$

A.4.2 Dynamique DR

La dynamique DR est définie entre le point de compression et le niveau de bruit sur une largeur de bande donnée. En constatant, à l'aide de l'équation A.10, que le point de compression est d'environ 10dB en dessous du point d'intersection du troisième ordre, on obtient :

$$DR \cong 10 \log \left(\frac{X_{IIP3}^2}{V_N^2} \right) - 10dB = \frac{3}{2} \cdot SFDR - 10dB \quad (A.30)$$

A.4.3 Facteur de mérite

En calculant le niveau de bruit blanc en tension, normalisé à $4kTB$, à l'entrée des différents montages de la Fig. A.2 ainsi qu'en utilisant les approximations réalisées pour le calcul du point d'intersection du troisième ordre X_{IIP3} (voir Tab. A.2), on peut estimer la dynamique normalisée à $4kTB/(U_T I_q)$ de chaque type de montage pour une tension d'entrée efficace et unipolaire X . Le Tab. A.3 permet de constater que l'augmentation de la dynamique peut se réaliser uniquement de deux façons :

1. en augmentant proportionnellement la consommation de courant,
2. en augmentant proportionnellement la tension nécessaire afin de linéariser les transconducteurs, par exemple en les polarisant en forte inversion ou en dégénérant fortement une paire différentielle.

Le fait que les structures non-différentielles aient un facteur de mérite meilleur que les structures différentielles est légèrement biaisé. En effet, la dynamique de comparaison est définie par rapport au point d'intersection du troisième ordre, car c'est elle qui est la plus gênante pour les étages d'entrée d'un récepteur. Les distorsions d'ordre deux des structures unipolaires ne sont donc pas prises en compte.

	X_{IIP3}	$\frac{S_{VN}}{4kT}$	$\left(\frac{X_{IIP3}}{V_N}\right)^2 \frac{4kTB}{U_T I_q}$
MOS en faible inversion	$2nU_T$	$\frac{n^2 U_T}{2I_q}$	8
MOS en forte inversion,	$2nU_T \sqrt{IC} \sqrt{\frac{2(2-\Theta')}{3\Theta'(1-\Theta')^2}}$	$\frac{2n^2 U_T}{3I_q} \frac{\sqrt{IC}}{(2-\Theta')^2}$	$4\sqrt{IC} \frac{(2-\Theta')^3}{\Theta'(1-\Theta')^2}$
Diff. en faible inversion	$2\sqrt{2} \cdot nU_T$	$\frac{2n^2 U_T}{I_q}$	4
Diff. en forte inversion	$\frac{8}{\sqrt{3}} \cdot nU_T \sqrt{IC}$	$\frac{8n^2 U_T}{3I_q} \sqrt{IC}$	$8\sqrt{IC}$
Diff. dégénérée	$nRI_q \sqrt{\frac{RI_q}{2U_T}}$	$2n^2 R$	$\frac{1}{2} \left(\frac{RI_q}{U_T}\right)^2$
Diff. en conduction	$\frac{4n}{3\Theta'^2} \left(V_P - \frac{V_{DS}}{2}\right)$	$\frac{n^2}{V_{DS} I_q} \left(\frac{V_P - \frac{V_{DS}}{2}}{1-\Theta''}\right)^2$	$\frac{16}{9} \frac{V_{DS}}{U_T} \frac{(1-\Theta'')^2}{\Theta''^4}$

TAB. A.3 – X_{IIP3} en tension efficace unipolaire, densité spectrale de bruit normalisée et dynamique libre d'interférence normalisée.

Les relations obtenues pour la paire différentielle dégénérée par une résistance sont valables pour des produits $R \cdot I_q$ compris entre 200mV et 5V. En effet, si ce produit est trop faible, il faut prendre en compte la perte de gain due aux transistors de la paire différentielle. Si, au contraire, il est trop élevé, le calcul de X_{IIP3} est erroné (voir la discussion du Tab. A.2).

Enfin, pour le transistor MOS en forte inversion ainsi que pour la différence de courant des transistors en conduction, la situation la plus critique (lorsque la SFDR est la plus faible) est calculée en tenant compte de la réduction de mobilité verticale Θ . Θ variant entre zéro et l'infini, Θ' et Θ'' varient donc entre 0 et 1 :

- pour un transistor MOS, la dynamique libre d'interférence SFDR est minimale pour $\Theta' = 1/2$, ce qui implique que :

$$\left(\frac{X_{IIP3}}{V_N}\right)^2 \frac{4kTB}{U_T I_q} = 108\sqrt{IC}$$

- pour une différence de courant entre deux MOS en conduction, le pire des cas est obtenu pour Θ tendant vers l'infini. Cependant, à ce point, le gain entre l'entrée en tension sur la grille du transistor et sa sortie en courant s'annule. La dynamique est également nulle.

A.5 Conclusions

Dans cette annexe, les différentes notions de linéarité, de bruit et de dynamique d'un système ainsi que les relations les liant sont rappelées. Voici un résumé des principaux points mis en évidence :

1. Calcul des séries de Taylor pour des montages utilisés couramment, tels que des transistors MOS en forte et en faible inversion ainsi que des paires différentielles, dégénérées, en faible inversion, en forte inversion et à MOS en conduction.
2. Développement de relations simples entre les différentes notions de linéarité et de dynamique, plus particulièrement pour une fonction non-linéaire impaire d'ordre trois, à l'aide des coefficients de Taylor.
3. Validation numérique des approximations réalisées pour le calcul du point d'intersection du troisième ordre X_{IIP3} , du point de compression à 1dB X_{1dB} et du taux de distorsion à 1% $X_1\%$.
4. Calcul de la dynamique libre d'interférence SFDR des différents montages et de leur facteur de mérite.

Annexe B

Liste des publications

Journals

1. T. Melly, A.-S. Porret, C.C Enz & E. Vittoz, *An Analysis of Flicker Noise Rejection in Low-Power and Low-Voltage CMOS Mixers*, Journal of Solid State Circuits (JSSC), to be published in January 2001.
2. A.-S. Porret, T. Melly & C. Enz, *Design of High-Q Varactors for Low-Power Wireless Applications using a Standard CMOS Process*, Journal of Solid State Circuits (JSSC), March 2000.

Paper with peer reviews

3. T. Melly, A.-S. Porret, C. C. Enz & E. Vittoz, *A 1.2V, 433MHz, 10dBm, 38% Efficiency FSK Transmitter integrated in a Standard Digital CMOS Process*, Custom Integrated Circuits Conference (CICC'00), May 2000, Orlando, USA.
4. A.-S. Porret, T. Melly, C. C. Enz & E. Vittoz, *A 1V, 1mW, 434MHz FSK Receiver fully integrated in a Standard CMOS Process*, Custom Integrated Circuits Conference (CICC'00), May 2000, Orlando, USA.
5. A.-S. Porret, T. Melly, C. C. Enz, & E. Vittoz, *Tradeoffs and Design of an Ultra Low Power UHF Transceiver Integrated in a Standard Digital CMOS Process*, International Symposium on Low Power Electronics and Design (ISLPED'00), August 2000, Rappallo, Italia.
6. A.-S. Porret, T. Melly, C. Enz & E. Vittoz, *A Low-Power Low-Voltage Transceiver Architecture Suitable for Wireless Distributed Sensors Net-*

- work*, International Symposium on Circuits and Systems (ISCAS'00), May 2000, Geneva, Switzerland.
7. T. Melly, A.-S. Porret, C. Enz, M. Kayal & E. Vittoz, *A 1.2V, 430MHz, 4dBm Power Amplifier and a 250 μ W Front-End, using a Standard Digital CMOS Process*, International Symposium on Low Power Electronics and Design (ISLPED'99), August 1999, San Diego, USA.
 8. T. Melly, A.-S. Porret, C. C. Enz & E. Vittoz, *Low-Power and Low-Voltage RF Circuits Integrated in a Standard Digital CMOS Process* European Conference on Circuit Theory and Design (ECCTD'99), August 1999, Stresa, Italy.
 9. A.-S. Porret, T. Melly & C. Enz, *Design of High-Q Varactors for Low-Power Wireless Applications using a Standard CMOS Process*, Custom Integrated Circuits Conference (CICC'99), May 1999, San Diego, USA.
 10. T. Melly, A.-S. Porret, C. Enz & M. Kayal, *A 1.3V Low-Power 430MHz Front-End using a Standard Digital CMOS Process*, Custom Integrated Circuits Conference (CICC'98), May 1998, Santa-Clara, USA.

Workshop

11. C. Enz, T. Melly, A.-S. Porret, D. Python & E. Vittoz, *Low Power and Low Voltage RF Circuits Integrated in a Standard Digital CMOS Process*, International Workshop on Low Power RF and Analog Microelectronics, June 1999, Leuven, Belgium.
12. A.-S. Porret, T. Melly, D. Python, C. C. Enz, & E. Vittoz, *A 1V, 434MHz FSK Transceiver, Consuming 1mW in Receive Mode, and Fully Integrated in a Standard Digital CMOS Process*, International Workshop on New Trends on RF CMOS Transceivers, June 2000, Pavia, Italia.

Bibliographie

- [1] P. R. Gray & R. G. Meyer, *Future Directions in Silicon ICs for RF Personal Communications*, Custom Integrated Circuits Conference (CICC'95), May 1995, Santa Clara, USA.
- [2] L. E. Larson, *Integrated Circuit Technology Options for RFIC's - Present Status and Future Directions*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 3, March 1998.
- [3] J. Crols & M. Steyaert, *A Single-Chip 900MHz CMOS Receiver Front-End with a High Performance Low-IF Topology*, IEEE Journal of Solid State Circuits (JSSC), Vol. 30, No 12, December 1995.
- [4] A. Rofougaran, J. Y.-C. Chang, M. Rofougaran & Asad A. Abidi, *A 1GHz CMOS RF Front-End IC for Direct-Conversion Wireless Receiver*, IEEE Journal of Solid State Circuits (JSSC), Vol. 31, No 7, July 1996.
- [5] D. K. Shaeffer & T. Lee, *A 1.5V, 1.5GHz CMOS Low Noise Amplifier*, IEEE Journal of Solid State Circuits (JSSC), Vol. 32, No 5, May 1997.
- [6] A. Hajimiri & T. Lee, *A General Theory of Phase Noise in Electrical Oscillators*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 2, February 1998.
- [7] A. Rofougaran, G. Chang, J. J. Rael, J. Y.-C. Chang, M. Rofougaran, P. J. Chang, M. Djafari, M.-K. Ku, E. W. Roth, A. A. Abidi & H. Samueli, *A Single-Chip 900MHz Spread-Spectrum Wireless Transceiver in a 1 μ m CMOS - Architecture, Transmitter and Receiver Design*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 4, April 1998.
- [8] Q. Huang, F. Piazza, P. Orsatti & T. Ohguro, *The Impact of Scaling Down to Deep Submicron on CMOS RF Circuits*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 7, July 1998.

- [9] S. Wu & B. Razavi, *A 900MHz-1.8GHz CMOS Receiver for Dual-Band Applications*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 12, December 1998.
- [10] D. Shaffer, A. Shahani, S. Mohan, H. Samavati, H. Rategh, M. Her-shenson, M. Xu, C. Yue, D. Eddleman & T. Lee, *A 115mW CMOS GPS Receiver*, ISSCC Proceedings, pp. 122-123, 1998.
- [11] D. Shaffer, A. Shahani, S. Mohan, H. Samavati, H. Rategh, M. Her-shenson, M. Xu, C. Yue, D. Eddleman & T. Lee, *A 115mW 0.5 μ m CMOS GPS Receiver with Wide Dynamic-Range Active Filters*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 12, December 1998.
- [12] M. Steyaert, M. Borremans, J. Janssens, B. De Muer, N. Itoh, J. Craninckx, J. Crols, E. Morifuji, H. Momose & W. Sansen, *A Single-Chip CMOS Transceiver for DCS-1800 Wireless Communications*, ISSCC Proceedings, pp. 48-49, 1998.
- [13] P. Orsatti, F. Piazza, Q. Huang & T. Morimoto, *A 20mA-Receive 55mA-Transmitt GSM Transceiver in a 0.25 μ m CMOS*, ISSCC Proceedings, pp. 232-233, 1999.
- [14] T. Cho, E. Dukatz, M. Mack, D. MacNally, M. Marringa, S. Mehta, C. Nilson, L. Plouvier & S. Rabii, *A Single-Chip CMOS Direct-Conversion Transceiver for 900MHz Spread-Spectrum Digital Cordless Phones*, ISSCC Proceedings, pp. 228-229, 1999.
- [15] B. Razavi, *A 2.4GHz CMOS Receiver for IEEE 802.11 Wireless LAN's*, IEEE Journal of Solid State Circuits (JSSC), Vol. 34, No 10, October 1999.
- [16] K.-S. Tsai & P. Gray, *A 1.9GHz 1W CMOS Class-E Power Amplifier for Wireless Communications*, IEEE Journal of Solid State Circuits (JSSC), Vol. 34, No 7, July 1999.
- [17] Philips Semiconductors Data Sheet, *UAA2080 Advanced pager receiver*, Web site, January 1996.
- [18] RFM Data Sheet, *RFM RX1010 434MHz ASH Receiver*, Web site, September 1996.
- [19] M. Pardoen, J. Gerrits & V. von Kaenel, *A 0.9V, 1.2mA, 200MHz BiCMOS Single-Chip Narrow-Band FM Receiver*, ISSCC Proceedings, pp. 348-349, 1996.
- [20] XEMICS Data Sheet, *Low Power VHF Receiver, XE1218 Single Chip FM 230MHz*, Web site, April 2000.
- [21] Thesys Data Sheet, *315/433MHz Double-Conversion FM/FSK/ASK Receiver*, Web site, April 2000.

- [22] RF Micro-Devices, *433/868/915MHz FM/FSK ISM Band Receiver*, Web site, April 2000.
- [23] H. Darabi & A. A. Abidi, *An Ultralow Power Single-Chip CMOS 900MHz Receiver for Wireless Paging*, Custom Integrated Circuits Conference (CICC'99), May 1999, San Diego, USA.
- [24] R. Rofougaran, T.-H. Lin & W. J. Kaiser, *CMOS Front-End LNA-Mixer for Micropower RF Wireless*, International Symposium on Low Power Electronics and Design (ISLPED'99), August 1999, San Diego, USA.
- [25] A. Vouilloz, C. Dehollain & M. Declercq, *A Low-power CMOS Super-Regenerative Receiver at 1GHz*, Custom Integrated Circuits Conference (CICC'00), May 2000, Orlando, USA.
- [26] A.-S. Porret, *Design of Low Power and Low Voltage Circuits realized in a CMOS Process for a Fully Integrated UHF Transceiver*, Mémoire de thèse, Ecole polytechnique de Lausanne, to be published in december 2000.
- [27] D. Python, *Low power CMOS integrated filters*, Mémoire de thèse, Ecole polytechnique de Lausanne, to be published in december 2000.
- [28] O. Staub, *Small Antennas*, Mémoire de thèse, Ecole polytechnique de Lausanne, to be published in december 2000.
- [29] C. A. Balanis, *Antenna Theory*, Second Edition, John Wiley & Sons, Inc., 1997.
- [30] K. Rizk, *Propagation in microcellular and small cell urban environment*, Mémoire de thèse n°1710, Ecole polytechnique de Lausanne, 1997.
- [31] A.-S. Porret, T. Melly, C. Enz & E. Vittoz, *A Low-Power Low-Voltage Transceiver Architecture Suitable for Wireless Distributed Sensors Network*, International Symposium on Circuits and Systems (ISCAS'00), May 2000, Geneva, Switzerland.
- [32] Semiconductor Industry Association, *International Technology Roadmap for Semiconductors* http://notes.sematech.org/1999.SIA_Roadmap/ORTC.pdf.
- [33] A.J. Scholten, H.J. Tromp, L.F. Tiemeijer, R. van Langevelde, R.J. Havens, P.W.H. de Vreede, R.F.M. Roes, P.H. Woerlee, A.H. Montree & D.B.M. Klaassen, *Accurate thermal noise model for deep-submicron CMOS*, International Electron Devices Meeting (IEDM'99), December 1999, Washington D.C., USA.

- [34] Behzad Razavi, *RF Microelectronics*, Prentice Hall, First Edition, 1998.
- [35] J. Crols & M. Steyaert, *Low-IF Topology for a High Performance Analog Front-End of Fully Integrated Receivers*, IEEE Transactions on Circuits and Systems - II, Vol. 45, No 3, March 1998.
- [36] Asad A. Abidi, *Direct-Conversion Radio Transceivers for Digital Communications*, IEEE Journal of Solid State Circuits (JSSC), Vol. 30, No 12, December 1995.
- [37] A.-S. Porret, T. Melly, C. C. Enz & E. Vittoz, *A 1V, 1mW, 434MHz FSK Receiver fully integrated in a Standard CMOS Process*, Custom Integrated Circuits Conference (CICC'00), May 2000, Orlando, USA.
- [38] P.-G. Fontollet, *Systèmes de télécommunications*, TE Vol XVIII.
- [39] Alcatel MIETEC, *Electrical parameters and layout rules CMOS 0.5 μ m*, Europractice DS 13290, Revision 10, 1996.
- [40] P. Favre, N. Joehl, A. Vouilloz, P. Deval, C. Dehollain & M. Declercq, *A 2V 600 μ A 1GHz BiCMOS Super-Regenerative Receiver for ISM Applications*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 12, December 1998.
- [41] A.-S. Porret, T. Melly, C. C. Enz, & E. Vittoz, *Tradeoffs and Design of an Ultra Low Power UHF Transceiver Integrated in a Standard Digital CMOS Process*, International Symposium on Low Power Electronics and Design (ISLPED'00), August 2000, Rappallo, Italia.
- [42] C. Enz & Y. Cheng, *MOS Transistor Modeling for RF IC Design*, IEEE Journal of Solid State Circuits (JSSC), Vol. 35, No 2, February 2000.
- [43] J. N. Burghartz, D. C. Edelstein, M. Soyuer, H. A. Ainspan & K. A. Jenkins, *RF Circuit Design Aspects of Spiral Inductors on Silicon*, IEEE Journal of Solid State Circuits (JSSC), Vol. 33, No 12, December 1998.
- [44] Christian Enz, *Circuits et techniques HF & VHF*, EPFL, 1997.
- [45] Eric Vittoz, *Low-Power and Low-Voltage Analog IC Design*, Advanced Engineering Course, Lausanne EPFL June 1996.
- [46] A.-S. Porret, T. Melly & C. Enz, *Design of a Micropower UHF Receiver Front-End Dedicated to ISM Bands Applications and Integrated in a Standard Digital CMOS Process*, Internal report, École Polytechnique de Lausanne, August 1998.
- [47] M. Steyaert, *RF Integrated Circuits in Standard CMOS Technologies*, European Solid-State Circuits Conference (ESSCIRC'96), September 1996, Neuchâtel, Switzerland.

- [48] T. Melly, A.-S. Porret, C.C Enz & E. Vittoz, *An Analysis of Flicker Noise Rejection in Low-Power and Low-Voltage CMOS Mixers*, Journal of Solid State Circuits (JSSC), to be published in January 2001.
- [49] Y. Tsididis, *Operation and Modeling of the MOS Transistor*, 2nd-Edition, Mc-Graw Hill, 1999.
- [50] C. Enz, F. Krummenacher & E. Vittoz, *Analog Integrated Circuits and Signal Processing Journal on Low-Voltage and Low-Power Design*, Vol. 8 pp83-114, July 1995.
- [51] C. Enz, *MOS Modeling Dedicated to Low-Voltage and Low-Current Circuit Design*, Advanced Engineering Course on CMOS & BiCMOS IC Design, September 1998.
- [52] M. Bucher, C. Lallement, C. Enz & F. Krummenacher, *The EPFL-EKV MOSFET Model*, Ver. 2.3, December 1995.
- [53] M. Bucher, C. Lallement, C. C. Enz, F. Théodoloz, & F. Krummenacher, *The EPFL-EKV MOSFET Equations for Simulation Version 2.6* Technical Report, EPFL, July 1998. <http://legwww.epfl.ch/ekv/model.html>.
- [54] M. Hasler & J. Neiryneck, *Circuits non linéaires*, Complément au Traité d'Electricité, Presses Polytechniques Romandes.
- [55] C. Hull & G. Meyer, *A Systematic Approach to the Analysis of Noise in Mixers*, IEEE Transaction on Circuit and Systems, Vol. 40 No 12, December 1993.
- [56] Manolis T. Terrovitis & Robert G. Meyer, *Noise in Current-Commutating CMOS Mixers*, Journal of Solid State Circuits (JSSC), Vol. 34, No 6, June 1999.
- [57] H. Darabi & Asad A. Abidi, *Noise in RF-CMOS Mixers : A Simple Physical Model*, IEEE Journal of Solid State Circuits (JSSC), Vol. 35, No 1, January 2000.
- [58] J.-M. Sallese & A.-S. Porret, *A Novel Approach to Charge Based Non Quasi Static Model of the MOS Transistor Valid in all Modes of Operation*, Solid State Electronics, Vol. 44, pp. 887-894, June 2000.
- [59] E. Vittoz & all, *High-performance crystal oscillator circuits : theory and application*, Journal of Solid State Circuits (JSSC), Vol. 23, pp. 774-778, June 1988.
- [60] T. Melly, A.-S. Porret, C. Enz, M. Kayal & E. Vittoz, *A 1.2V, 430MHz, 4dBm Power Amplifier and a 250 μ W Front-End, using a Standard Digital CMOS Process*, International Symposium on Low Power Electronics and Design (ISLPED'99), August 1999, San Diego, USA.

- [61] T. Melly, A.-S. Porret, C. Enz & M. Kayal, *A 1.3V Low-Power 430MHz Front-End using a Standard Digital CMOS Process*, Custom Integrated Circuits Conference (CICC'98), May 1998, Santa-Clara, USA.
- [62] T. Melly, A.-S. Porret, C. C. Enz & E. Vittoz, *Low-Power and Low-Voltage RF Circuits Integrated in a Standard Digital CMOS Process* European Conference on Circuit Theory and Design (ECCTD'99), August 1999, Stresa, Italy.
- [63] Q. Huang, P. Orsatti, & F. Piazza, *Broadband, 0.25 μ m CMOS LNAs with Sub-2dB NF for GSM Applications*, Custom Integrated Circuits Conference (CICC'98), May 1998, Santa-Clara, USA.
- [64] T. Melly, A.-S. Porret, C. C. Enz & E. Vittoz, *A 1.2V, 433MHz, 10dBm, 38% Efficiency FSK Transmitter integrated in a Standard Digital CMOS Process*, Custom Integrated Circuits Conference (CICC'00), May 2000, Orlando, USA.
- [65] A.-S. Porret, T. Melly & C. Enz, *Design of High-Q Varactors for Low-Power Wireless Applications using a Standard CMOS Process*, Custom Integrated Circuits Conference (CICC'99), May 1999, San Diego, USA.
- [66] A.-S. Porret, T. Melly & C. Enz, *Design of High-Q Varactors for Low-Power Wireless Applications using a Standard CMOS Process*, Journal of Solid State Circuits (JSSC), March 2000.
- [67] J. Smith, *Modern Communication Circuits*, Mc-Graw Hill, 1986.
- [68] Christian Kermarrec, *Power Amplifiers for Wireless Communication Handsets*, Advanced Engineering Course, Lausanne EPFL, June 1996.
- [69] D. Python, A.-S. Porret & C. Enz, *A 1V 5th-Order Bessel Filter Dedicated to Digital Standard Process*, Custom Integrated Circuits Conference (CICC'99), May 1999, San Diego, USA.
- [70] F. Krummenacher & N. Jöhl, *A 4MHz CMOS Continuous-Time Filter with On-Chip Automatic Tunning*, IEEE J. Solid-State Circ., Vol. 23, p.750-758, June 1988.
- [71] B. Gilbert, *The Multi-tanh Principle : A Tutorial Overview*, IEEE J. Solid-State Circ., Vol. 33, January 1998.
- [72] E. Bautista, B. Bastani & J. Heck, *Improved Mixer IIP2 Through Dynamic Matching*, ISSCC Proceedings, pp. 376-377, 2000.

Curriculum Vitae

Nom et prénom	Melly Thierry	
Né le	12 juin 1970	
Nationalité	Suisse	
Lieu d'origine	Ayer (VS)	
État civil	Marié, deux enfants, Marie 2 ans et Timothée 4 ans	
Adresse	Blanche-Pierre 3961 Ayer	
Études	École Polytechnique Fédérale de Lausanne	1992 - 1996
	École d'ingénieur du Valais	1989 - 1992
	Apprentissage d'électronicien à l'Alusuisse	1985 - 1989
	École obligatoire à Vissoie (VS) - 1985
Cours postgrade	RF IC Design for Wireless Communication System'96, cours d'été du Laboratoire d'Électronique Générale, École Polytechnique Fédérale de Lausanne (LEG-EPFL).	
Diplômes	Ingénieur électricien EPFL	1996
	Ingénieur ETS en électrotechnique	1992
	CFC d'électronicien	1989
	CFC de guide de haute-montagne	1994
Activités professionnelles	Assistant-doctorant à l'EPFL, recherche en conception de circuit intégré analogique	1996 - 2000
	Membre du conseil d'administration des remontées mécaniques de Zinal SA	1997 -
	Guide de haute-montagne	1994 -